

Betriebsdokumentation Heft 1

Personalcomputer EC 1834

2., überarbeitete Auflage
Karl-Marx-Stadt, 1988

Betriebsdokumentation

Personalcomputer robotron EC 1834

Inhaltsverzeichnis

1. Einleitung	PC
2. Grundkonzept	
2.1. Allgemeine Einordnung der Gerätetechnik	
2.2. Hardwareübersicht	
2.3. Softwareübersicht	
3. Gruppenverbindungsplan	
4. Betriebsdokumentation	
- Busrichtlinie (Auszüge)	BUS
- Systemplatine	SYS
- Tastatur	TAS
- Floppy-Disk-Controller	FDC
- Floppy-Disk robotron K 5601	FD
- Hard-Disk-Controller	HDC
- Hard-Disk K 5504 der Geräteserie VS	HD
- Monochromatischer alphanum. Bildschirmadapter	ABA
- Monochrom. alphanum. Bildschirm K 7228	MAB
- Farb/Grafik-Bildschirmadapter	FBA
- Monochromatischer Grafikbildschirm K 7229.25	MGB
- Farbgrafikbildschirm K 7234	FGB
- Speichererweiterung	SE
- Adapter für serielle Kommunikation (ASC)	ASC
- Adapter für serielle Kommunikation (ASK)	ASK
- Druckeradapter	DA
- KIF-Adapter	KIF
- LAN-Adapter	LAN
- Bus-Verlängerung	BUV
- Stromversorgungseinheit	SVE
5. Diagnose	DGN
5.1. Eigentest	
5.2. Diagnosepaket	

Achtung
Diese Dokumentation entspricht dem Stand 03/88 und unterliegt <u>nicht</u> dem Änderungsdienst.

1.62.540117.8 (GER)
085-3-000
850.53.01.001

1. Einleitung

Die vorliegende Dokumentation dient in erster Linie zur Unterstützung der Qualifikation von Servicetechnikern für den PC EC 1834.
Gemäss der einheitlichen Kundendienstkonzeption des Kombinats Robotron soll der Servicetechniker befähigt werden, neue Geräte zu installieren und erforderliche Einstellungen vorzunehmen sowie Störungen am PC beim Anwender zu erkennen, die fehlerhafte Baugruppe zu orten und auszutauschen. Er wendet zur Fehlersuche hauptsächlich die bereitgestellte Diagnosesoftware an.
Dazu ist es erforderlich, dass der Servicetechniker neben dem technischen Wissen auch Grundkenntnisse in der Bedienung der Hardware, der Arbeit mit den Dienst- und Hilfsprogrammen und einen Überblick über Betriebssystem sowie Standardsoftware besitzt.

2. Grundkonzept

2.1. Allgemeine Einordnung der Gerätetechnik

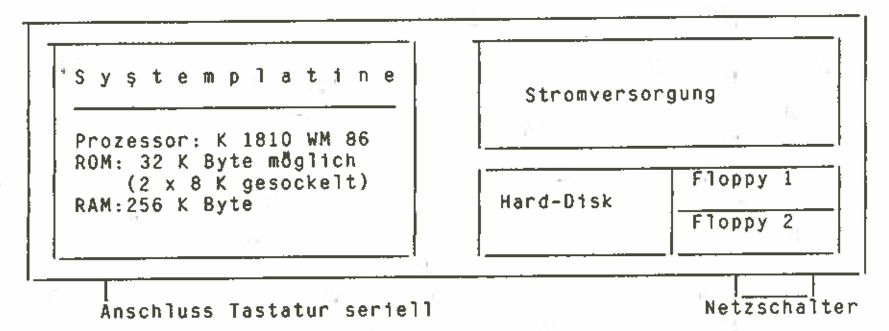
Mit dem Erzeugnis " Personalcomputer EC 1834 " beginnt der VEB Kombinat Robotron eine mit den RGW- Staaten abgestimmte Entwicklungslinie hochleistungsfähiger Arbeitsplatztechnik. Das Gerät ordnet sich in die 2. Generation der Personalcomputer ein und stellt eine neue Leistungsklasse dar.
Gegenüber Büro- bzw. Personalcomputern mit 8- bit Verarbeitungsbreite ist bei annähernd gleichem Material- und Energieaufwand eine wesentliche Leistungssteigerung zu verzeichnen.
Der PC EC 1834 ist kompatibel zum PC/XT und analogen Geräten.
Damit bietet der VEB Kombinat Robotron eine kompatible Schnittstelle, um die Breite der auf diesem Gebiet bereits zur Verfügung stehenden Anwendersoftware nutzbar zu machen.
Der Personalcomputer wird in verschiedenen Grundkonfigurationen, darunter Sologeräte, vernetzte Varianten sowie Terminalanwendungen, angeboten.

2.2. Hardwareübersicht

Grundlage der Hardware ist das sowjetische Mikrorechnersystem K 1810 auf der Basis des 16-bit- Mikroprozessors K 1810 WM 86.
Der interne Hauptspeicher (RAM) hat eine Kapazität von 256 KByte und kann wahlweise auf bis zu 640 KByte erweitert werden.
In der Systemeinheit befindet sich die gesamte Elektronik auf der waagerecht liegenden Systemplatine mit, je nach Ausstattung, bis zu acht senkrecht angeordneten, steckbaren Adaptern u.a. für

- Speichererweiterung
- monochromatischen alphanumerischen Bildschirm
- Farb/Grafik-Bildschirm
- Floppy-Disk
- Hard-Disk
- Netzwerk-Anschluss
- Anschluss V.24/IFSS
- Drucker

Der PC kann mit ein, zwei oder vier 5,25"-Folienspeicherlaufwerken robotron K 5601 ausgerüstet sein. Bei den Varianten mit weniger als vier Laufwerken kann wahlweise zusätzlich ein Harddisk installiert werden.
Grundsätzlich wird für den Anschluss des Hauptdruckers ein Centronics- Interface zur Verfügung gestellt. Zwei oder vier Interfaces V24 bzw IFSS gewährleisten den Anschluss zusätzlicher Peripherie wie Zweitdrucker, Plotter, Digitalisiergerät sowie spezielle Messgeräte.
Die Kommunikation mit dem Computer erfolgt über monochromatischen alphanumerischen bzw. grafikfähigen oder Color/Grafik-Bildschirm und über eine Flachtastatur.



Erweiterungsmöglichkeiten:

1. Speichererweiterung um 384 K Byte
2. Monochromatischer alphanumerischer Bildschirmadapter
3. Farb/Grafik- Bildschirmadapter (belegt zwei Steckplätze)
4. Hard-Disk-Controller
5. Floppy-Disk-Controller
6. Adapter für serielle Kommunikation (ASC/ASK)
7. Druckeradapter (Centronics)
8. Busverlängerung
9. KIF-Adapter
10. LAN-Adapter

2.3. Softwareübersicht

2.3.1. Betriebssystem

Das Standardbetriebssystem des PC 1834 ist das Betriebssystem DCP 3.20 (DCP = Disk Control Program). Es ist kompatibel zu den entsprechenden PC-DOS-Versionen (DOS = Disk Operating System).
Der Kern des Betriebssystems besteht aus den Komponenten
ROM-BIOS, der u.a. die physischen Gerätetreiber, Testroutinen und die BOOT-Routine enthält;
BIO.COM, die logischen Gerätetreiber;
DOS.COM, das logische System des Kerns und die Programmier-Systemschnittstelle;
COMMAND.COM, dem Kommandointerpretér.

Die Kommunikation mit dem Betriebssystem DCP 3.20 erfolgt über den Kommandointerpreter COMMAND.COM, mit dessen Hilfe auf eine Vielzahl von Kommandos zugegriffen werden kann. Externe Kommandos befinden sich auf Diskette oder Festplatte, interne Kommandos beinhaltet der Interpreter selbst.

Interne Kommandos realisieren u.a. das

- Kopieren von Dateien
- Anlegen von Verzeichnissen
- Ändern des aktuellen Verzeichnisses
- Auslisten von Verzeichnissen
- Löschen von Dateien und Verzeichnissen
- Umbenennen von Verzeichnissen
- Definieren von Suchpfaden ausführbarer Dateien
- Auslisten von Dateien sowie
- Anzeige und Ausgabe von Datum und Uhrzeit

Über externe Kommandos können z. B. folgende Funktionen aufgerufen werden:

- Formatieren von Diskette oder Festplatte
- Vergleichen von zwei Dateien
- Vergleich von zwei Disketten
- Kopieren einer Diskette auf eine andere
- Sichern von Dateien auf Disketten
- Durchsuchen von Dateien nach Zeichenketten
- Anzeige aller Verzeichnispfade und Auflistung der Dateien der Unterverzeichnisse
- Druck des Inhaltes eines Farb/Grafik-Bildschirmes
- Modus - Festlegung für Drucker, Bildschirm oder asynchrone Datenübertragung
- Ausgabe von Dateien auf Drucker
- Einstellung der Tastatur-Ländervariante
- Auswahl des Tastaturtyps und des Datum-/Zeitformates
- Kopieren des DCP auf ein anderes Laufwerk
- Konvertieren von SCPX-Dateien

2.3.2. Diagnosesoftware

Die Diagnosesoftware kann in zwei Gruppen untergliedert werden. Der maschinenresidente Teil der Diagnosesoftware befindet sich im ROM und führt nach Einschalten des Computers einen Eigentest durch. Mit dem Eigentest kann das System aber nicht vollständig getestet werden. Deshalb ist als zweiter Komplex ein Diagnosepaket vorhanden, das dem Anwender und dem Service-Techniker erlaubt, bei vermuteten Hardwarefehlern eine Diagnose des Systems vorzunehmen. Über ein Rahmenprogramm werden die verschiedenen Testprogramme von der Diskette aufgerufen und sowohl Existenztests auf Vorhandensein der zu testenden Baugruppen als auch Diagnosetests durchgeführt. Nähere Angaben zu den erwähnten Testprogrammen sind unter dem Hauptpunkt "Diagnose" zu finden.

2.3.3. Standardsoftware

Als Standardsoftware steht dem Anwender eine grosse Anzahl von Programmpaketen zur Verfügung. So unter anderem

- Datenbanksystem REDABAS-3
- Tabellenkalkulation MULTICALC
- Textprozessor TP
- Geschäftsgrafik BGR
- Informationsrecherchesystem AIDOS
- Tourenoptimierung TOUR
- Bearbeiten von SCP-Disketten unter DCP
- CAD-Systeme

Füer das Erarbeiten von Programmen in Maschinensprache können Entwicklungswerkzeuge eingesetzt werden, die u.a. bestehen aus dem

- Zeileneditor EDLIN
- bildschirmorientierten Editor BE
- Makroassembler MASM
- Linker LINK
- symbolischen Debugger SYMDEB

2.3.4. Programmiersprachen

Zur Erzeugung von Maschinenprogrammen können folgende problemorientierte Sprachen verwendet werden:

- BASIC-Interpreter
- BASIC-Compiler
- Standard-BASIC
- T-PASCAL
- FORTRAN
- C-Sprache
- Modula-2

3. Technische Daten

Netzspannung :	220 V (187...242 V)
Netzfrequenz :	47...63 Hz
Umgebungsbedingungen :	Einsatzklasse 2 nach TGL 26465
	Temperatur +10 bis +35 Grad Celsius max. Temperaturgradient 15 K/h max. rel Luftfeuchte 80% bei 25 Grad C. Luftdruck 84...107 kPa
Funkentstörung :	entsprechend TGL 20885/12 F1,F3 sowie nach VDE 8718 und GOST 23511/79
Schutzgrad :	IP 20 nach TGL RGW 778 für das Netzteil der Systemeinheit und für die Monitore IP 00 für alle übrigen Funktionsgruppen
Schutzklasse :	1 nach TGL 21366

Schalleistungspegel : Leerlauf max. 52 dB AS
Betrieb max. 65 dB AS

Technische Daten der Systemeinheit

Gefäss : Kombinierte Plast-Blech-Konstruktion bestehend aus
- Bodenwanne und Deckel aus Blech, der deckel ist ohne Werkzeug einfach zu öffnen
- Rückwand und Vorderwand aus Plast
- Aufnahme für die Datenträgerlaufwerke
- Netzschalteinrichtung und Anzeigeelemente

Netzteil (SVE) mit Lüfter: Das Netzteil ist voll verkleidet und realisiert intern alle Schutzgüteforderungen bezüglich elektrischer Sicherheit.

Abmessungen (mm) :	Breite	Tiefe	Höhe
	517	406	140

Masse : 16 bis 20 kg je nach Ausstattung

Leistungsaufnahme: max. 150 W

Kühlung : zwangsbelüftet, Luftaustritt nach hinten

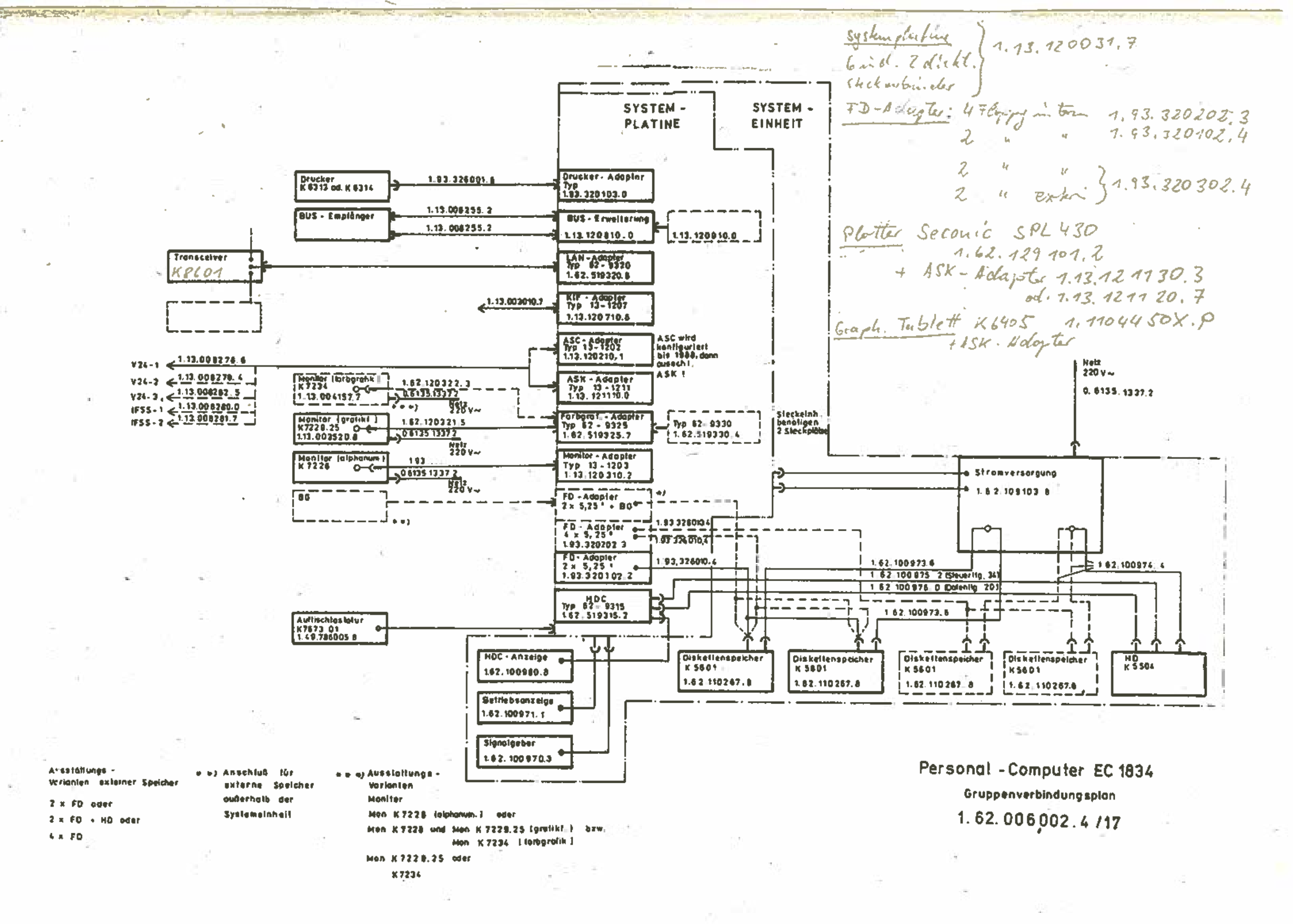
Netzschalter : integrierter Bestandteil des Netzteiles, über Gestänge von vorn bedienbar

Anzeigefunktionen : Betriebsanzeige (LED)
Harddisk-Funktionsanzeige (LED)
akustischer Signalgeber (programmierbar)

Erweiterungssteckplätze : 8 Plätze für BLP in den Abmessungen 100 mm x 360/300/240/172,5 mm

Aufnahmerahmen für Datenträgerlaufwerke :
1 x Harddisk-Laufwerk
2 x 5,25 Zoll Floppy-Disk-Laufwerk
oder 4 x 5,25 Zoll Floppy-Disk-Laufwerk

Hinweis : Die technischen Daten der einzelnen Funktionsgruppen sind dem jeweiligen Kapitel der Betriebsdokumentation zu entnehmen.



SYSTEM - PLATINE
SYSTEM - EINHEIT
Drucker K 6313 od. K 6314
1.93.326001.6
Drucker - Adapter Typ 1.93.320103.0
BUS - Empfänger
1.13.008255.2
BUS - Erweiterung 1.13.120810.0
1.13.120810.0
Transceiver
LAN - Adapter Typ 62 - 9320 1.62.519320.8
1.13.003010.7
KIF - Adapter Typ 13 - 1207 1.13.120710.6
ASC - Adapter Typ 13 - 1202 1.13.120210.1
ASC wird konfiguriert bis 1988, dann ausgeh.!
ASK !
ASK - Adapter Typ 13 - 1211 1.13.121110.0
V24-1
V24-2
V24-3
IFSS-1
IFSS-2
1.13.008276.6
1.13.008278.4
1.13.008282.5
1.13.008280.0
1.13.008281.7
Monitor (farbgrafik) K 7234 1.13.004157.7
1.62.120322.3
Netz 220 V~
Farbgraf. - Adapter Typ 62 - 9325 1.62.519325.7
Typ 62 - 9330 1.62.519330.4
Steckeinh. benötigen 2 Steckplätze
Monitor (grafik) K 7228.25 1.13.003520.8
1.62.120321.5
Monitor (alphanum.) K 7228
Monitor - Adapter Typ 13 - 1203 1.13.120310.2
Stromversorgung
Netz 220 V~
FD - Adapter 2 x 5,25" + BG
FD - Adapter 4 x 5,25" 1.93.320202.3
FD - Adapter 2 x 5,25" 1.93.320102.2
1.93.326010.4
1.62.100973.6
1.62.100975.2 (Steuerltg. 34)
1.62.100976.0 (Datenltg. 20)
1.62.100974.4
1.62.100973.8
HDC Typ 62 - 9315 1.62.519315.2
Aufttischtastatur K 7673.01 1.40.786005.8
HDC - Anzeige 1.62.100980.8
Betriebsanzeige 1.62.100971.1
Signalgeber 1.62.100970.3
Diskettenspeicher K 5601 1.62.110267.8
HD K 5504
Ausstattungs - Varianten externer Speicher
2 x FD oder
2 x FD + HD oder
4 x FD
*) Anschluß für externe Speicher außerhalb der Systemeinheit
**) Ausstattungs - Varianten Monitor
Mon K 7228 (alphanum.) oder
Mon K 7228 und Mon K 7228.25 (grafik) bzw. Mon K 7234 (farbgrafik)
Mon K 7228.25 oder K 7234
Personal - Computer EC 1834
Gruppenverbindungsplan
1.62.006002.4 /17

```
***********************************************************************
*                                                                     *
*                      Betriebsdokumentation                          *
*                                                                     *
*              B u s r i c h t l i n i e   (Auszüge)                  *
*                 Personalcomputer robotron EC 1834                   *
*                                                                     *
***********************************************************************
```

Inhaltsverzeichnis

1. Allgemeine Grundlagen
2. Signalbeschreibungen
3. Signalpegel
4. Mechanische Bedingungen
5. Steckverbinderbelegungen
5.1. Steckverbinder 96-polig indirekt
5.2. Steckverbinder 62-polig direkt

1.62.540121.7 (GER)
085-3-000
852.53.01.004

Stand: 03/88

1. Allgemeine Grundlagen

Der BUS des PC EC 1834 wird durch Signalleitungen und Leitungen zur Stromversorgung der Adapter gebildet. Bezeichnet wird dieser als Systembus.
Er realisiert die Verbindung zwischen Systemplatine und den maximal acht Adaptern (Speichererweiterung, E/A-Adapter, BUS-Verlängerung) und steuert den Informationsaustausch zwischen diesen. Er ist geeignet zur Durchführung CPU- und DMA- gesteuerter Operationen.

2. Signalbeschreibungen

Die Signale des Systembusses gliedern sich in folgende Signalgruppen:

Leitungsgruppe	Anz. Ltgen	Bezeichnung
Datenbus	16	D15-D0
Adressbus	20	A19-A0
Steuerbus		
- DMA-u. REFRESH-Steuerung	11	DRQ0-3, /DACK0-3, AEN, TC
- Zugriffssteuerung	9	/IOR, /IOW, /MEMR, /MEMW, /MEMCS16, /BHE, ALE, /IOCHCK, IOCHRDY
- Interrupt	11	IRQ9-12, IRQ14,15, IRQ3-7
- Rücksetzen	1	RESETDRV
Takt	2	CLK, OSC
Stromversorgung	8	N00, N5P, N5N, N12P, N12N

Bedeutung der einzelnen Signale:

Signal	E/A (bezogen auf Systemplatine)	Beschreibung
OSC	A	Oszillatortakt: Hochgeschwindigkeitstakt mit einer Zykluszeit von 68 ns (14,7456 MHz) Tastverhältnis 1:1
CLK	A	Systemtakt: Er entsteht durch Division des Oszillatortaktes durch drei und hat eine Zykluszeit von 203 ns (4,9152 MHz); Tastverhältnis 1:2
RESETDRV	A	Systemrücksetzen: HIGH- aktiv, Rücksetzen der Systemlogik nach Netz-Einschalten oder während eines Netzspannungsabfalls, synchron zum Taktsignal
A19-A0	E/A	Adressbits 19-0: HIGH-aktiv, dienen der Adressierung der systeminternen Speicher- und E/A-Einheiten, werden vom Prozessor oder der DMA-Einheit geliefert
D15-D0	E/A	Datenbits 15-0: HIGH-aktiv, Datenbus für Prozessor, Speicher und E/A-Einheiten

Signal	E/A (bezogen auf Systemplatine)	Beschreibung
ALE	A	Adressenverriegelung: HIGH-aktiv, dient der Übernahme gültiger Adressen in Adresslatch und der Verriegelung dieser mit H/L-Flanke, mit AEN verwendet dient es als Hinweis für gültige Prozessoradressen
/IOCHCK	E	E/A-Kanal Fehler: LOW-aktiv, Anzeige eines Paritätsfehlers in Speicher oder E/A-Einheit bzw. Auswahl verbotener E/A-Adressen
IOCHRDY	E	E/A-Kanal bereit: HIGH-aktiv, im Normalfall HIGH; durch Speicher oder E/A-Einheiten auf LOW gesetzt wird die Verlängerung der BUS-Zyklen um weitere Taktzyklen (203 ns) erreicht; darf nicht länger als 10 Taktzyklen auf LOW gesetzt sein, um REFRESH-Vorgang nicht zu unterdrücken
IRQ9-12, IRQ14,15, IRQ3-7	E	Interruptanforderung 9-12, 14, 15, 3-7: HIGH-aktiv; signalisiert dem Prozessor, dass eine E/A-Einheit einen Eingriff fordert, mit L/H-Flanke wird Interrupt ausgelöst, Signale bleiben bis zur Quittung durch Prozessor aktiv Prioritätsreihenfolge: IRQ9 - höchste IRQ10 IRQ11 IRQ12 IRQ14 IRQ15 IRQ3 IRQ4 IRQ5 IRQ6 IRQ7 - niedrigste
/IOR	E/A	E/A-Lesebefehl: LOW-aktiv, ausgelöst durch Prozessor bzw. DMA-Einheit, Anweisung an E/A-Einheit, Daten auf Datenbus bereitzustellen
/IOW	E/A	E/A-Schreibbefehl: LOW-aktiv, ausgelöst durch Prozessor bzw. DMA-Einheit, Anweisung an DMA-Einheit, Daten vom Datenbus zu übernehmen
/MEMR	E/A	Speicher-Lesebefehl: LOW-aktiv, ausgelöst durch Prozessor bzw. DMA-Einheit, Anweisung an Speicher, Daten auf Datenbus bereitzustellen
/MEMW	E/A	Speicher-Schreibbefehl: LOW-aktiv, ausgelöst durch Prozessor bzw. DMA-Einheit, Anweisung an Speicher, Daten vom Datenbus zu übernehmen

Signal	E/A (bezogen auf Systemplatine)	Beschreibung
DRQ1-3	E	DMA-Anforderung: HIGH-aktiv, Anforderung von Peripherie-Geräten, um Zugriff zu DMA-Funktionen zu erlangen; Signal muss so lange aktiv sein, bis Anforderung mittels DACK-Leitung quittiert wird DRQ1 - höchste Priorität DRQ2 - niedrigste Priorität
/DACK1-3	A	DMA-Antwort: LOW-aktiv, dienen zur Quittierung der DMA-Anforderungen 1-3
DRQ0	A	DMA-Anforderung: HIGH-aktiv, REFRESH-Anforderung vom Timer an DMA-Controller, aller 15 us aktiv
/DACK0	A	DMA-Antwort: LOW-aktiv, REFRESH-Kennzeichen, dient für REFRESH des dynamischen Speichers
AEN	A	Adress-Freigabe: HIGH-aktiv, Anzeige dass DMA-Steuerung Kontrolle über Adress-, Daten- und Steuerbus erlangt hat
TC	A	Ende-Zähler: HIGH-aktiv, wird Endezählerstand eines beliebigen DMA-Kanals erreicht, liefert Signal HIGH-Impuls
/BHE	E/A	BUS HIGH-Freigabe: LOW-aktiv, zeigt an, dass auf höherwertigen Datenbits 15-8 gültige Daten übertragen werden (bei 16-bit-Operation)
/MEMCS16	E	16-bit-Speicherauswahl: LOW-aktiv, signalisiert der Systemplatine, dass die adressierte Speichereinrichtung mit 16-bit-Zugriffen betrieben werden kann
N 5P		+5V±0,25V, Versorgungsspannung ungestützt
N 5N		-5V±0,25V, Versorgungsspannung ungestützt
N 12P		+12V±0,6V, Versorgungsspannung ungestützt
N 12N		-12V±1,2V, Versorgungsspannung ungestützt
N 00		Zentrales Bezugspotential (Masse)

3. Signalpegel

Für alle logischen Bussignale müssen Sender bzw. Empfänger folgende Pegel bereitstellen bzw. verarbeiten:

	HIGH	LOW
Sender	2,4 ... 5,25 V	0 ... 0,45 V
Empfänger	2,0 ... 5,25 V	-0,5 ... 0,8 V

4. Mechanische Bedingungen

Der Systembus ist auf der Systemplatine/MLL in Form gedruckter Leiterzüge realisiert. Er verbindet die acht Steckverbinder, welche zur Aufnahme der entsprechenden Adapter dienen.
Die Steckverbinder sind in einem Abstand von 20,32 mm bestückt.
Verwendet werden die Steckverbinder 96-polig nach EBS-GO 4007 (DIN 41612) Bauform R. Auf der Systemplatine befindet sich die Steckerleiste, auf den Adaptern die Buchsenleiste.
Zur Nutzung von international im Angebot befindlichen Adapterplatten mit direkten Steckverbindern wird in Sonderfällen die Systemplatine mit folgender Bestückung ausgeliefert:
 zwei Steckplätze mit direkten Steckverbindern 62-polig nach DIN ....
 fünf Steckplätze mit indirekten Steckverbindern.

Die Adapter sind in beliebiger Reihenfolge in den Steckverbindern steckbar. Ausnahme bildet der Steckverbinderplatz 8 (nahe der SVE); er ist reserviert für spezielle Anwendungsfälle. Der Steckverbinderplatz 8 ist in Varianten mit BUS-Verlängerung für den BUS-Erweiterungsadapter vorgesehen, welcher mit einem Kabel von max. 1m Länge die Möglichkeit bietet, den Systembus zu verlängern.
Die Grösse der Adapterleiterplatten sind 100 mm x 360/300/240/172,5 mm.
Die max. Bauhöhe auf den Adaptern beträgt 13,5 mm.
Auf jedem Adapter ist gewährleistet, dass alle Betriebsspannungen (auch nicht genutzte) gegen Masse mit Entstörkondensatoren 47 uF und 0,1 uF abgeblockt sind.
Die Strombelastbarkeit pro Adapter bei N 5P lässt max. 3,4 A zu. In der Summe aller acht Adapter können bei N 5P = 14 A, bei N 12P = 2 A, bei N 5N = 0,3 A und bei N 12N = 0,25 A verbraucht werden.

5. Steckverbinderbelegungen

5.1. Steckverbinder 96-polig indirekt

Rückwand der Systemeinheit

	A		B	C
N 00	*	1	*	* /IOCHCK
RESETDRV	*		* D8	* D7
N 5P	*		* D9	* D6
IRQ9	*		* D10	* D5
N 5N	*	5	* D11	* D4
DRQ2	*		* D12	* D3
N 12N	*		* D13	* D2
	*		* D14	* D1
N 12P	*		* D15	* D0
N 00	*	10	*	* IOCHRDY
/MEMW	*		*	* AEN
/MEMR	*		*	* A19
/IOW	*		*	* A18
/IOR	*		*	* A17
/DACK3	*	15	*	* A16
DRQ3	*		*	* A15
/DACK1	*		*	* A14
DRQ1	*		*	* A13
/DACK0	*		* DRQ0	* A12
CLK	*	20	*	* A11
IRQ7	*		* IRQ10	* A10
IRQ6	*		* IRQ11	* A9
IRQ5	*		* IRQ12	* A8
IRQ4	*		* IRQ15	* A7
IRQ3	*	25	* IRQ14	* A6
/DACK2	*		* /MASTER	* A5
TC	*		*	* A4
ALE	*		*	* A3
N 5P	*		*	* A2
OSC	*	30	* N 5P	* A1
N 00	*		*	* A0
N 00	*	32	* /MEMCS16	* /BHE

5.2. Steckverbinder 62-polig direkt

<u>Rückwand der Systemeinheit</u>

B		A
N 00	* 1	* /IOCHCK
RESETDRV	*	* D7
N 5P	*	* D6
IRQ9	*	* D5
N 5N	* 5	* D4
DRQ2	*	* D3
N 12N	*	* D2
	*	* D1
N 12P	*	* D0
N 00	* 10	* IOCHRDY
/MEMW	*	* AEN
/MEMR	*	* A19
/IOW	*	* A18
/IOR	*	* A17
/DACK3	* 15	* A16
DRQ3	*	* A15
/DACK1	*	* A14
DRQ1	*	* A13
/DACK0	*	* A12
CLK	* 20	* A11
IRQ7	*	* A10
IRQ6	*	* A9
IRQ5	*	* A8
IRQ4	*	* A7
IRQ3	* 25	* A6
/DACK2	*	* A5
TC	*	* A4
ALE	*	* A3
N 5P	*	* A2
OSC	* 30	* A1
N 00	*	* A0

```
***************************************************************
*                                                             *
*                  Betriebsdokumentation                      *
*                                                             *
*          S y s t e m p l a t i n e  (Typ 013-1200)          *
*             Personalcomputer robotron EC 1834               *
*                                                             *
***************************************************************
```

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Allgemeine Übersicht
4.2. Adressen-Zuordnung
4.2.1. Speicher-Einteilung
4.2.2. E/A-Adressenbereiche (Gesamtsystem)
4.2.3. E/A-Adressenbereiche (Systemplatine)
4.3. Takterzeugung
4.4. Mikroprozessor/Co-Prozessor
4.5. Systemzeitgeber
4.6. Paralleles Peripheres Interface
4.7. System-Unterbrechungen
4.8. ROM-Speicher
4.9. RAM-Speicher
4.10. E/A-Adressierung
4.11. DMA-Einrichtung
4.12. Byte-Swap-Logik
4.12.1. Anwendungszweck
4.12.2. Wortzugriff auf Speicher mit 8 Bit-Datenbus
4.12.2.1. Speicher Schreiben
4.12.2.2. Speicher Lesen
4.12.3. E/A-Zugriff auf Tor mit ungerader Adresse
4.12.4. DMA-Zugriff auf ungerade Speicheradresse
4.13 NMI-Register
4.14. Tastatur-Anschluss
5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht
6. Einstellvorschrift
7. Wartungsvorschrift

1.62.540131.3 (GER)
085-3-000
851.53.01.001

Stand: 03/88

1. Verwendung und Einordnung

Die Systemplatine ist die zentrale Baugruppe des Personalcomputers EC1834. Sie enthält alle zur Steuerung des Gerätes notwendigen Funktionsgruppen.
Die Steuerung des Gesamtsystems übernimmt der Mikroprozessor mit Hilfe einer Anzahl von hochintegrierten Peripherie-Schaltkreisen. Als Arbeitsspeicher sind auf der Systemplatine 256 KByte RAM integriert. Die CPU hat die Möglichkeit, 1 MByte Speicher zu adressieren, jedoch ist nur der Einsatz von max. 640 KByte als Vordergrundspeicher sinnvoll, bedingt durch die Speicherverwaltung von DCP.
Verwendung findet der Mikroprozessor KR 1810 WM 86 (analog I8086) mit 16-Bit-Datenbus und 20-Bit-Adressbus im Zeitmultiplexbetrieb, der Wortzugriff auf den Speicher ermöglicht. Die Arbeit mit der Peripherie erfolgt im Byte-Zugriff.
Der Co-Prozessor KR 1810 WM 87 (analog I8087) entlastet die CPU von arithmetischen Operationen (Option).
Acht Steckplätze bieten die Möglichkeit, Peripheriebaugruppen über Adapter anzuschliessen bzw. den Speicher mit 384 KByte-Steckkarten als Vordergrund- oder als Hintergrundspeicher zu erweitern.
Auf der Systemplatine befinden sich weiterhin Steckverbinder für den Anschluss der Tastatur sowie für den Tongeber.

2. Technische Daten

Leiterplatte	240 mm x 360 mm MLL
Steckverbinder	X4,X5,X6 Steckerleiste 2-pol. 202/1 TGL 55055
	X7 Buchsenleiste 9-pol. 201-9 EBS-GO 4006/01-2-V GK2 LP abgewinkelt
	X1.1...X1.8 Steckerleiste 96-pol. 332 EBS-GO 4007
Betriebsspannungen	5P (+5V ±5%) 12P (+12V ±5%)
Mikroprozessor, Coprozessor als Option	
Datenbus	16 Bit
Adressbus	20 Bit
Taktfrequenz	4,9152 MHz
Speicheradressraum	1 MByte
E/A-Adressraum	64 KByte
15 priorisierte Interrupt-Niveaus	
Operativspeicher	256 KByte dRAM mit Paritätskontrolle erweiterbar auf 640 KByte
Festwertspeicher	32 KByte

Bauelementebasis

		analog
Mikroprozessor	KR 1810 WM 86-5 MHz	i8086
Arithmetischer Coprozessor	KR 1810 WM 87	i8087
Progr. Interrupt-Controller	KR 580 WN 59A	i8259A
Taktgenerator	KR 1810 GF 84	i8284A
Bus-Controller	KR 580 WG 88	i8288
Programmierbares Peripheres Interface (PPI)	KR 580 WW 55A	i8255A
Programmierbarer Intervall-Timer	KR 580 WI 53	i8253
DMA-Controller	KR 580 IK 57	i8257
64 K x 1bit dRAM	U 2164 C20	
8 K x 8 EPROM	U 2764 CC25	
- EMR für Tastaturinterface	UC 8821 M	
- 2 K x 8 EPROM für EMR	U 2716 C39	

Ergänzungsschaltkreise der Serien STTL und LSTTL

3. Konstruktiver Aufbau

Die Systemplatine ist eine Mehrlagenleiterplatte mit 4 Informationsebenen, Masse- und Stromversorgungsebene der Grösse 240 mm x 360 mm und ist waagerecht in der Systemeinheit montiert. Sie besitzt drei Steckverbinder für den Tastaturanschluss (X7), den Tongeber (X4), die Betriebsspannungsanzeige und acht Steckverbinder X1.1 bis X1.8 für den Anschluss von 8 externen E/A-Einrichtungen mit Speichern über spezielle Adapter (z. B. Monitor für alphanumerische Darstellung, Farb-/Grafikadapter, Floppy Disk, Hard Disk, serielle Schnittstellen).
Die Gerätekonfiguration (Speicherausstattung, Typ des Monitors, Anzahl der Floppy Disk ist am DIL-Schalter S1 einstellbar.

4. Funktionsbeschreibung

4.1. Allgemeine Übersicht

Die Steuerung erfolgt mit einem Mikroprozessor des Typs K 1810 WM 86 (analog i8086), der eine Datenwegbreite von 16 Bit besitzt und einen Speicheradressbereich von 1 MByte ermöglicht. Der Prozessor wird im Maximum-Modus betrieben, so dass als Zusatzeinrichtung ein Coprozessor des Typs K 1810 WM 87 (analog i8087) eingesetzt werden kann (Steckfassung ist vorhanden). Der Prozessor arbeitet mit 4,915 MHz; diese Frequenz wird von einem Quarz der Frequenz 14,7456 MHz mittels Teilung

durch 3 gewonnen. Aus der Quarzfrequenz lassen sich die üblichen Baudraten der Übertragungseinrichtungen durch einfache Teilung ableiten. Bus-Zyklen bei Speicheroperationen dauern vier Taktzyklen von 203,5 ns, d.h. 814 ns. Dem gegenüber dauern E/A-Buszyklen generell fünf Taktzyklen, d. h. 1,017 us.

Der Prozessor wird durch einige LSI-Ergänzungsschaltkreise unterstützt, die vier 20-Bit DMA-Kanäle, drei 16-Bit Zeitgeber-Kanäle und 15 priorisierte Interrupt-Niveaus realisieren.
Drei der vier DMA-Kanäle stehen auf dem Systembus zur Verfügung und können für schnelle Datenübertragungen zwischen E/A-Einrichtungen und dem Speicher ohne Prozessoreingriffe verwendet werden. Der vierte DMA-Kanal wird für das Refreshen der dynamischen Speicher sowohl auf der Systemplatine als auch auf Speichererweiterungs-Adaptern verwendet.
Dazu wird ein Zeigeberkanal so programmiert, dass er periodisch einen DMA-Zyklus anfordert. Mit dem dadurch ausgelösten Speicher-Lesezyklus wird ein Refreshen aller dynamischen RAM-Schaltkreise bewirkt.
Alle DMA-Übertragungen dauern 8 Prozessor-Taktzyklen bzw. 1,62 us (falls die Ready-Leitung nicht deaktiviert wird).
Die drei Zeitgeberkanäle werden folgendermassen benutzt: Kanal 1 für die periodische Anforderung von Refresh-Zyklen, Kanal 2 für die Tonerzeugung mittels des Tongebers und Kanal 0 als Konstant-Zeitbasis für den Systemzeitgeber.

Von den 15 priorisierten Interrupt-Niveaus stehen 11 auf dem Systembus für die Verwendung durch Adapterkarten zur Verfügung.
Drei Interrupt-Niveaus werden auf der Systemplatine verwendet. Das Niveau 0 mit der höchsten Priorität ist mit dem Zeitgeberkanal 1 verbunden und erzeugt eine periodische Unterbrechung. Das Niveau 1 ist mit der Tastatursteuerung verbunden und erzeugt bei Empfang jedes Scan-Codes von der Tastatur eine Unterbrechung.
Die nichtmaskierbare Unterbrechung (NMI) des Prozessors wird für die Behandlung von Paritätsfehlern, die Zusammenarbeit mit dem Co-Prozessor sowie für die virtuelle I/O-Adressierung genutzt.
Die Systemplatine enthält RAM-und ROM- bzw. EPROM-Komplexe. Die RAM-Ausstattung beträgt 256 KByte mit Paritätskontrolle, die ROM-Ausstattung 32 KByte ohne Paritätsprüfung.
Der ROM-Bereich enthält den Anfangstest nach Rücksetzen, einen Disketten-Bootstrap-Lader sowie das ROM-BIOS.
Die Startadresse der CPU nach Rücksetzen liegt ebenfalls im ROM. Der Programm-Anlauf beginnt ab der Adresse FFFF0h.

4.2. Adressen-Zuordnung

4.2.1. Speicher-Einteilung

Start-Adresse Dez.	Hex		Speicher	
0	00000		256 KB RAM auf Systemplatine	
32 K	08000			
64 K	10000			
96 K	18000			
128 K	20000			
. . .				
256 K	40000		384 KB RAM Vordergrundspeicher auf Speicher-Erweiterung	384 KB RAM Hintergr. Speicher
. . .				
512 K	80000			
. .				
640 K	A0000		128 KB Graphik/ Anzeige-Bereich oder Vordergr.Sp. 640-960 KB	Hintergr. Speicher 640-960 KB
704 K	B0000 (4K)	s/w-Mon. alphanumerik		
.				
736 K	B8000 (32 K)	F/G-Mon.		
768 K	C0000		(in diesem Fall keine anderen Speicher [ROM] in diesem Bereich) 224 KB ROM-Erweiterungsbereich	
.				
800 K	C8000 (8K)	HD-ROM auf Adapter		
.				
992 K	F8000	HD-ROM auf Systemplatine	32 KB EPROM (BIOS)	

4.2.2. E/A-Adressenbereiche (Gesamtsystem)

Hex. Adresse	Einrichtung	
000 - 01F	DMA-Controller	)
020 - 03F	Interrupt-Controller (1)	)
040 - 05F	Timer-Schaltkreis	)
060 - 07F	PPI	) systemplatinen-
080 - 09F	DMA-Seitenregister	) intern
0A0 - 0BF	NMI-Register	)
0C0 - 0DF	Interrupt-Controller (2)	)
0E0 - 0FF	reserviert	)
1B0 - 1BF	KIF-Adapter	
1E8 - 1EF	Bank-Wechsel (RAM-Erweiterung)	
210 - 21F	Erweiterungs-Einheit (Bus-Verlängerung)	
278 - 27F	Parallel-Port 2 (Drucker)	
2B0 - 2BF	Monitor-Adapter	
2E0 - 2E8	Serielles Port 2	
2F8 - 2FF	Verbotener Adressenbereich (SP2)	
320 - 32F	Festplatten-Adapter	
378 - 37F	Parallel-Port 1 (Drucker)	
380 - 38F	Verbotener Adressenbereich (SP1)	
3A0 - 3AF	" " (SP1)	
3B0 - 3BF	" " (MON)	
3D0 - 3DF	Farb-/Graphik-Adapter	
3E0 - 3E8	Serielles Port 1	
3F0 - 3F7	Disketten-Adapter	
3F8 - 3FF	Verbotener Adressenbereich (SP1)	

Wird durch einen E/A-Schreib- oder Lesebefehl eine Adresse der verbotenen Adressenbereiche angesprochen, so wird mittels IOCHCK = 0 ein NMI ausgelöst, falls der jeweils zugeordnete Adapter vorhanden ist (SP1, SP2 - Serielles Port 1 bzw. 2; MON - Monitoradapter).
Die angesprochene E/A-Adresse kann anschliessend über 080 und 081 gelesen werden.

4.2.3. E/A-Adressenbereiche (Systemplatine)

Hex. Adr.	R	W	Datenbus D7...D0
00	x	x	CH-0 DMA Address: A7 bis A0 if F/L = 0
			A15 bis A8 if F/L = 1
01	x	x	Terminal Count : C7 bis C0 if F/L = 0
			Rd,Wr,C13 bis C8 if F/L = 1
02			
.			
.			analog für CH-1 bis CH-3 DMA
07			
08		x	MODE SET : AL TCS EW RP EN3 EN2 EN1 EN0
08	x		STATUS 0 0 0 UP TC3 TC2 TC1 TC0
20		x	Write ICW 1 (X'13' - EDGE, CASCADE, ICW4) Ini-
21		x	Write ICW 2 (X'08' - INT.ADDR 8) tiali-
21		x	Write ICW 3 (X'04' - IRQ2 SLAVE) sierung
21		x	Write ICW 4 (X'09' - BUFFRD, 8086 MODE)
21		x	Write OCW 1
20		x	Write OCW 2 PIC1
20		x	Write OCW 3
40		x	Load Counter 0
41		x	" " 1
42		x	" " 2
43		x	Write Mode Word (SC1,SC0,RL1,RL0,M2,M1,M0,BCD)
40	x		Read Counter 0
41	x		" " 1 PIT
42	x		" " 2
43	x		No Operation
60	x		Tastencode oder S1.
61		x	Steuerbits PPI
62	x		Statusbits
63		x	Write CMD/MODE-Register (X'99')
81		x	Write DMA Page Register CH-2 (0,0,0,0,A19,A18,A17, A16)
82		x	" " " " CH-3
83		x	" " " " CH-1
80	x		Read NMI Address: A7 bis A0
81	x		Read NMI Address: 0, 0, 0, IOW, IOR, BHE, A9, A8
A0		x	Set NMI Mask (X'80')
A0		x	Clear NMI Mask (X'00')
C0		x	Write ICW1, OCW2 bzw. OCW3)
C1		x	Write ICW2, ICW3 (X'02' SLAVE ID)) siehe 20, 22
			ICW4 bzw. OCW1 PIC2

4.3. Takterzeugung

Zur Takterzeugung wird der Taktgenerator 8284A [D43] eingesetzt. Dieser Schaltkreis erfüllt drei Funktionen:

- Erzeugung des Systemtaktes und zweier weiterer Takte
- taktbezogene Bildung von RESET nach Einschalten
- taktbezogene Bildung von READY für die CPU

Der Taktgenerator bildet folgende Takte:

- CLK = 4,9152 MHz = 203 ns als Systemtakt
- PCLK = 2,45 MHz = 406 ns (intern)
- OSC = 14,7456 MHz= 68 ns (Quarzfrequenz)

CLK und OSC sind auf den BUS geführt, PCLK wird nur intern genutzt. Am RDY- und AEN-Eingang des Taktgenerators kann die CPU von der Peripherie in den WAIT-Zustand gesteuert werden. Dies wird während des DMA-Betriebes genutzt, und auch langsame Speicher und E/A-Einrichtungen schalten die CPU in den WAIT-Zustand.

4.4. Mikroprozessor/Co-Prozessor

Als Mikroprozessor findet die CPU 8086 [D20] Verwendung. Sie besitzt einen gemeinsamen Adress- und Datenbus mit 16 Daten- und 20 Adressleitungen, die über Latch-Register bzw. Treiber geführt werden [D2, D25, D26 für Adressbus; D 21, D23 für Datenbus].
Die CPU arbeitet im Maximum-Mode (MN/MX=LOW) und kann mit dem Arithmetik-Prozessor 8087 zusammenarbeiten. Beide Prozessoren sind dann über die Signale /TEST-/BUSY miteinander verbunden.
Die Steuerung der Bus-Signale übernimmt der Bus-Controller 8288 [D4]. Er decodiert die Statussignale des Prozessors und leitet daraus die Steuersignale für die Adress-Latch-Register sowie die Datenbus-Treiber ab. Weiterhin übernimmt er die Steuerung der Interrupt-Bestätigung und bildet die Signale Speicher lesen (/MEMR), Speicher schreiben (/MEMW), E/A-Tor lesen (/IOR) und E/A-Tor schreiben (/IOW).

4.5. System-Zeitgeber

Die Systemplatine des EC1834 enthält drei programmierbare Zeitgeber, die mit einem Timer-Schaltkreis 8253 [D53] realisiert sind. Für die Systemprogramme ist dieser Timer-Schaltkreis eine Einrichtung mit 4 E/A-Ports; drei E/A-Ports sind die Zeitgeberwerte und der vierte (Ausgabe-) Port ist das Register zur Modus-Steuerung. Die drei Zeitgeberkanäle werden im PC EC1834 folgendermassen verwendet:

Kanal 0 - Allgemeiner System-Zeitgeber
GATE 0 : 1
CLK IN 0 : 1,23 MHz
CLK OUT 0 : IRQ0 für Interrupt-Controller

Kanal 1 - Generator für Refresh-Anforderungen
GATE 1 : 1
CLK IN 1 : 1,23 MHz
CLK OUT 1 : 15 us Signal als Anforderung

Kanal 2 - Tongenerator für Tongeber
GATE 2 : Bit 0 von Port X'61' PPI
CLK IN 2 : 1,23 MHz
CLK OUT 2 : Ansteuerung Tongeber

Der TIMER-Schaltkreis wird mit der halben Frequenz von PCLK, also 1,23 MHz, getaktet.
Kanal 0 als allgemeiner System-Zeitgeber löst nach jeweils 100 ms einen Interrupt überIRQ0 zur Einstellung der Systemzeit aus. Kanal 1 dient zur Refresh-Anforderung für die dynamischen Speicher und bildet nach jeweils 15 us das Signal DRQ0 für den DMA-Schaltkreis, welches der Beginn eines Refresh-Zyklusses ist.
Mit Kanal 2 wird der Tongeber angesteuert. Die Impulsfolge für den Tongeber kann ausserdem noch vom PPI über den Eingang GATE2 des TIMER-Schaltkreises beeinflusst werden.

4.6. Paralleles Peripheres Interface

Der Schaltkreis 8255A [D54] ist ein paralleler Port mit drei Kanälen und dient der Abfrage bestimmter Zustände und der Ausgabe von Steuersignalen auf der Systemplatine. Die Kanäle können einzeln wahlweise auf Ein- oder Ausgabe programmiert werden. Kanal A ist auf Eingabe programmiert und fragt den Konfigurationsschalter S1 ab, Kanal B ist auf Ausgabe und Kanal C auf Eingabe programmiert. An Kanal B und C sind Steuersignale aktiv.
Die Belegung der PPI-Bits zeigt folgende Tabelle:

X'0060' (Eingabe)	PA 0	IPL von Diskette	)
	1	Coprozessor installiert	)
	2	RAM) Ausstattung	)
	3	RAM)	) Schal-
	4	Display-Typ 1	) ter S1
	5	" " 2	)
	6	) Anzahl der	)
	7	) Diskettenlaufwerke	)
X'0061' (Ausgabe)	PB 0	Steuerung Zeitgeber-Kanal 2 (GATE 2)	
	1	Steuerung Tongeber	
	2	P20 des EMR (UC 8821M)	
	3		
	4	- Enable RAM PCK	
	5	- Enable I/O CH CK	
	6	P32 des EMR (UC 8821M)	
	7	P33 des EMR (")	
X'0062' (Eingabe)	PC 0	-	
	1	-	
	2	-	
	3	-	
	4	P34 des EMR (UC 8821M)	
	5	Zeitgeber 2 (CLK OUT 2)	
	6	I/OCHCK	
	7	PCK	

PA2	PA3	RAM-Ausstattung
0	0	256 K

PA4	PA5	Display-Typ
0	0	reserviert
1	0	-
0	1	Farbmonitor 80x25 (s/w-Modus)
1	1	s/w-Monitor

PA6	PA7	Anzahl Disketten-Laufwerke
0	0	1
0	1	2
1	0	3
1	1	4

4.7. System-Unterbrechungen

Mit dem NMI des Mikroprozessors und zwei Interrupt-Controller-Schaltkreisen 8259A [D48,D49] sind im PC EC1834 16 Unterbrechungsniveaus realisiert. Sie sind (in absteigender Priorität) folgendermassen zugeordnet:

NMI	RAM-Paritätsfehler (Systemplatine bzw. RAM-Erweiterung), verbotene E/A-Adressen oder wahlweise Coprozessor	

Interrupt-Controller (8259A):

IRQ0	System-Zeitgeber)	
IRQ1	Tastatur)	systemplatinen-intern
IRQ2	Kaskadierung)	
IRQ8	DMA-Endezähler Refresh)	
IRQ9,10,11, 12,14,15		frei verfügbar
IRQ13	reserviert/wahlweise Coprozessor	
IRQ3	serieller Adapter 2 bzw. KIF-Adapter	
IRQ4	serieller Adapter 1	
IRQ5	Festplatten-Adapter	
IRQ6	Disketten-Adapter	
IRQ7	Drucker-Adapter	

Es sind vier unterschiedliche Quellen vorhanden, die einen NMI auslösen können. Alle Quellen werden auf den NMI-Eingang der CPU geführt. Beim Eintreten folgender Zustände wird ein NMI ausgelöst:
- Arithmetikprozessor (z.B. Division mit Null) - NPNPI
- Paritätsfehler des Systemplatinen-RAM -/PCK
- Paritätsfehler von Speichererweiterung oder Peripheriebaugruppen /IOCHCK
- virtuelle E/A-Adressierung - /IOCHCK

Durch den Einsatz von zwei Interrupt-Controllern ist es möglich, mit 15 maskierbaren Interrupt-Ebenen zu arbeiten. Die Kaskadierung von zwei Interrupt-Controllern erfolgt so, dass der INT-Ausgang des Slave an einen IRQ-Eingang (Interrupt-Request) des Masters geführt ist (IRQ2 an D49). Das INT-Signal des Masters bewirkt bei der CPU die Interrupt-Anforderung INTR.

Die Anerkennung des Interrupts wiederum übernimmt der Bus-Controller und bestimmt den Zeitpunkt, zu dem der den Interrupt auslösende Controller-Schaltkreis seinen Interrupt-Vektor auf den Datenbus legt.

4.8. ROM-Speicher

Der ROM-Speicher auf der Systemplatine besteht aus 2 (max.4) EPROM-Schaltkreisen 8 K x 8 Bit K 573 RF4 bzw. U 2764 C25 [D100,101,D115,116]. Er ist als 8 K x 16-Bit-Speicher realisiert; der Code für gerade bzw. ungerade Adressen befindet sich jeweils in unterschiedlichen Schaltkreisen.
Der Adressenbereich des ROM-Speichers befindet sich am Ende des gesamten 1 MByte CPU-Adressenbereichs ab Adresse F8000h. Es wird keine Paritätsprüfung ausgeführt, dafür erfolgt eine Prüfsummenbildung über alle vier Schaltkreise.
Die Decodierung einer Speicheradresse für den ROM übernimmt ein 8-fach-NAND [D5], das bei aktiven Adressleitungen A15...A19 das Signal /ROMADRSEL bildet. Damit wird ein 1-aus-8-Decoder SE05 [D66] freigegeben, der aus der Adressleitung A14 entweder die Speicherbank ab F8000h [D115,D100] (A14=LOW) oder ab FC000h [D116,D101] auswählt (A14=HIGH).

4.9. RAM-Speicher

Der RAM-Speicher auf der Systemplatine besteht aus 36 RAM-Schaltkreisen 64K X 1 Bit U 2164 C20. Er ermöglicht 16-Bit-Zugriffe durch die CPU. Organisationsmässig ist er als 128K x 16 Bit aufgebaut. Eine Paritätslogik ergänzt jedes Byte auf gerade Parität in einem zusätzlichen Speicherschaltkreis, die beim Lesen wieder geprüft wird. Im Fehlerfall wird ein NMI durch /PCK (/IOCHCK bei Speichererweiterung) ausgelöst.
Der Adressbereich des RAM auf der Systemplatine ist 00000h...3FFFFh.
Die Speichererweiterung liegt im Bereich von 40000h...9FFFFh (Vordergrundspeicher).
Die Decodierung einer RAM-Speicheradresse erfolgt mittels eines 1-aus-8-Decoders [D65], der in Abhängigkeit vom Pegel der Adressleitung A17 eine Speicherbank von 128 KByte auswählt.

A17 = 0 --> Adressbereich 0...128K --> /RAS1
A17 = 1 --> Adressbereich 128K...256K --> /RAS0

Ein 128-KByte-Bereich wiederum ist in zwei Bänke zu je 64 KByte unterteilt, in denen sich bei 16-Bit-Zugriff jeweils L-Teil und H-Teil einer Adresse befinden, bei Byte-Zugriff in einer 64-K-Bank Bytes mit gerader Adresse und in der anderen 64K-Bank Bytes mit ungerader Adresse. Diese Zuordnung ist abhängig von den Signalen A0 und /BHE und kann folgender Tabelle entnommen werden:

A0	/BHE	CAS	
L	L	/CASL=L,/CASH=L	Wortzugriff
L	H	/CASL=L,/CASH=H	Bytezugriff auf gerade Adresse (D0...D7)
H	L	/CASL=H,/CASH=L	Bytezugriff auf ungerade Adresse (D8...D15)

Die Adressleitungen A1...A16 liegen über Adressmultiplexer SY57 [D85,86] an den Speicherschaltkreisen an. Mit /RAS=L, decodiert aus /MEMR oder /MEMW und Adresse, und ADRSEL=L werden die Adressleitungen A1...A8 an eine Bank von 128 KByte geschaltet. Das Signal Speicherzugriff (/MEMR oder /MEMW) wird über D-FF D58 geleitet und bildet um

zwei OSC-Takte verzögert das Signal ADRSEL=H, mit dem der Adressmultiplexer umgeschaltet wird und die Adressen A9...A16 an die ausgewählte Speicherbank legt. Nach nochmaliger Verzögerung über ein weiteres D-FF [D67/5] wird das durch A0 und /BHE ausgewählte CAS-Signal gebildet. Damit ist die vollständige Adresse an den ausgewählten Speicherbereich angelegt und kann durch die CPU oder den DMA gelesen oder beschrieben werden.
Zwei bidirektionale 8-Bit-Treiber [D111,112] für D0...D7 bzw. D8...D15 schalten den Datenbus in Abhängigkeit von /MEMR und werden ausgewählt durch /MEMADRSEL und A0 für gerade Adressen bei Bytezugriff bzw. L-Byte bei Wortzugriff und /BHE für ungerade Adressen bei Byte-Zugriff bzw. H-Byte bei Wortzugriff.
Die Paritätslogik besteht aus dem 9. Speicherschaltkreis einer jeden 64K-Bank sowie einem Paritätsdetektor SY80 [D114] für ungerade Adressen und einem Paritätsdetektor [D113] für gerade Adressen sowie der Logik zum Auswerten von Paritätsfehlern, die auf gerade Patität prüft. Bei auftretenden Paritätsfehlern beim Lesen wird das Signal /PCK=L gebildet, welches den NMI auslöst.

REFRESH:
Ein Refresh-Zyklus wird nach jeweils 15 us durch den TIMER-Schaltkreis über den DMA angefordert und in der Speichersteuerung mit DACK0=H eingeleitet. Mit /DACK0=L und /MEMR=L vom DMA werden beide RAS-Signale aktiv geschaltet [D70/3,6]. Die Bildung von ADRSEL und CAS wird durch Sperren des ersten Verzögerungs-FF's [D58/5] verhindert.
Der Adress-Multiplexer [D85,86] schaltet mit ADRSEL=L die Adressleitungen A1...A7 zum Speicher durch, A0 wird mit DACK0=H statt A8 an D68/6 durchgeschaltet und /RAS0, /RAS1=L aktivieren sämtliche Speicherschaltkreise. Somit werden mit jedem Refresh-Zyklus 256 Bit eines jeden Speicherschaltkreises "gelesen" und damit regeneriert. Nach einem DMA-Durchlauf mit 256 Zyklen ist der gesamte dynamische RAM-Speicher aufgefrischt.

4.10. E/A-Adressierung

Bei E/A-Schreib-/Lesezyklen erfolgt die Adressierung analog zur Speicheradressierung über die Adressbit A19-A0.
Da maximal nur 64 KByte E/A-Register adressiert werden können, liegt die jeweils gültige Adresse auf den Adressleitungen A15-A0. Die Adressleitungen A19-A16 sind standardmässig auf L-Pegel. Der PC EC 1834 lässt die Adressierung von maximal 1024 E/A-Adressen zu. Die ersten 258 E/A-Adressen werden für die Systemplatine reserviert, die restlichen 768 können auf Adaptern genutzt werden.

4.11. DMA-Einrichtung

Die Systemplatine enthält eine DMA-Einrichtung mit 4 DMA-Kanälen auf der Basis eines DMA-Controllers 8257. Der DMA-Kanal 0 (mit der höchsten Priorität) wird intern auf der Systemplatine verwendet, die drei DMA-Kanäle 1-3 stehen auf dem Systembus für die Verwendung durch Adapter zur Verfügung.

Es besteht folgende Zuordnung:

Kanal 0 - Refresh-Steuerung
Kanal 1 - KIF-Adapter
Kanal 2 - Floppy-Disk-Controller
Kanal 3 - Hard-Disk-Controller

Der DMA-Schaltkreis 8257 [D50] steuert den Datenaustausch zwischen Speicher und E/A-Geräten und umgekehrt. Von der Peripherie bzw. dem TIMER-Schaltkreis (bei Refresh) erhält der 8257 eine DMA-Anforderung, die er bei Erlangen der Busherrschaft von der CPU mit dem Signal DACK an die Peripherie bestätigt. Der DMA-Betrieb wird so lange aufrechterhalten, wie die DMA-Anforderung DRQ aktiv bleibt oder eine DMA-Anforderung an einen höherpriorisierten Kanal gelangt. Nach jeder Byte-Übertragung wird die Speicheradresse um 1 erhöht.
Der DMA operiert mit 16-Bit-Adressen und kann daher nur innerhalb eines 64 KByte-Adressraumes DMA-Zyklen ausführen. Die Page (64 KByte-Seite) muss deshalb in einem gesonderten Register durch die CPU bereitgestellt werden.
Die maximale Länge eines DMA-Durchlaufes kann 16 KByte betragen. Den Zählwert enthält ein 14 Bit-Register des DMA, der bei Nulldurchlauf des Zählers das Signal TC (Terminal Count) an die Peripherie sendet und damit die Beendigung eines DMA-Zyklusses signalisiert.
Die Page-Register [D6,D28,D29] sind 4 Bit-Schieberegister, die jeweils für einen externen DMA-Kanal die Adressen A16...A19 bereitstellen. Sie werden durch die CPU mittels OUT-Befehl 80...83 eingestellt. Nach der DMA-Anforderung (DRQ0...DRQ3) sendet der 8257 HRQDMA zur Erlangung der Busherrschaft. Eine Überwachungsschaltung [D3/8] beobachtet die Statusleitungen des Prozessors und setzt bei Eintritt der CPU in den Status "Unterbrechungsannahme" (/S0.../S2=H) ein D-FF [D38/9]. Mit dem nächsten Takt CLK86 wird ein weiteres D-FF gesetzt [D51/5], welches das Signal HOLDA als Bestätigung für die Erlangung der Busherrschaft an den DMA-Schaltkreis sendet. Der folgende Takt CLK veranlasst über ein 4-fach-D-FF u. a. die Bildung des Signales AENBRD=H, welches die Adress-und Datebustreiber der CPU inaktiv schaltet. Ein weiterer Takt an D35 führt zur Bildung von /DMAAEN, mit dem die Adresstreiber [D64,D45] des DMA-Schaltkreises aktiviert werden und von /DMAWAIT. Mit diesem Signal, ausgewertet am Taktgeberschaltkreis [D43], wird die CPU in den WAIT-Zustand bis zur Beendigung des DMA-Übertragungszyklusses gesteuert. Die Erlangung der Busherrschaft durch den DMA-Schaltkreis wird mit DACK0...3 an die Peripherie quittiert.
Im nächsten Schritt gibt der 8257 über seinen Datenbus (D0...D7) den H-Teil der Speicheradresse aus, von der gelesen bzw. in die geschrieben werden soll. Diese Adresse wird in einem Register SE82 [D45] zwischengespeichert. Anschliessend erfolgt an den Adressausgängen A0...A7 die Ausgabe des L-Teiles der Adresse, die über dem Treiber SE86 [D64] auf dem Adressbus liegen.
Weiterhin wird über einen Treiber SE16 [D61] das Signal /BHE nachgebildet, aus dem in der Speichersteuerung die Bank mit ungeraden Adressen ausgewählt wird.
Mit Anliegen der kompletten 20-Bit-Adresse werden nun vom DMA-Schaltkreis die Steuersignale für Speicher lesen bzw. Speicher schreiben (/MEMR,/MEMW) und Peripherie schreiben bzw. lesen (/IOW,/IOR) generiert.

DMA-read-Zyklus:	Speicher lesen - MEMR aktiv
	E/A-Port schreiben-IOW aktiv
DMA-write-Zyklus	Speicher schreiben-MEMW aktiv
	E/A-Port lesen -IOR aktiv

Eine Ausnahme bildet der Refresh-Zyklus, bei dem nur das Signal MEMR aktiv sein muss.
Nach erfolgreicher Übertragung wird das TC-Register des DMA um eins vermindert und die Adresse um eins erhöht. Die Bus-Herrschaft wird an die CPU zurückgegeben, falls DRQ wieder LOW ist. In Diesem Fall wird HRQ inaktiv geschaltet und somit der WAIT-Status des Prozessors aufgehoben. Wenn DRQ weiter aktiv (HIGH) bleibt, wird der nächste DMA-Zyklus ausgeführt, der nur durch eine höherpriorisierte DMA-Anforderung (z.B. REFRESH) unterbrochen werden kann.

4.12. Byte-Swap-Logik

4.12.1. Anwendungszweck

Der grundlegende Unterschied des Prozessors 8086 im EC 1834 zum 8088, der zumeist in den internationalen Typen vergleichbarer Personalcomputer Anwendung findet, besteht im Einsatz eines 16 Bit-Datenbusses beim 8086.
Praktisch bedeutet das, dass Mikroprozessoren mit 8 Bit-Datenbus (8088) auf Speicherplätze nur byteweise zugreifen können, auch wenn sie intern 16 Bit Verarbeitungsbreite besitzen. Der Vorteil des Einsatzes des 8086 besteht also darin, dass die CPU entsprechend ihrer internen Verarbeitungsbreite von 16 Bit auch wortweise auf Speicher zugreifen kann, d.h. das L-Byte (mit gerader Adresse) liegt auf dem Datenbus D0...D7 (A0=LOW), das H-Byte (mit ungerader Adresse) auf dem Datenbus D8...D15 (/BHE=LOW). Dadurch können Programme bis zu 30 % schneller sein als PC's mit 8088-CPU.
Bei Speicherzugriffen auf den Arbeitsspeicher von max 640 KByte im EC 1834 hat die Byte-Swap-Logik keinen Einfluss, denn sie wird über /MEMCS16=LOW (Speichererweiterung) bzw. /MEMADRSEL=LOW (Systemplatine, ROM- oder RAM-Zugriff) abgeschaltet, und der Speicherzugriff kann wortweise oder byteweise über D0...D15 erfolgen.
Notwendig wird die Byte-Swap-Einrichtung sowohl um der Forderung zu genügen, international im Angebot befindliche Erweiterungsadapter mit 8 Bit-Bus-Speichern einsetzen zu können als auch E/A-Befehle und DMA-Zugriffe auf ungerade Adressen zu ermöglichen.
Die Aufgabe der Byte-Swap-Einrichtung besteht darin, den H-Teil des Datenbusses der CPU 8086 (D8...D15) bei Wortzugriff zeitgerecht auf den Datenbus D0...D7 von 8 Bit-Peripherie bzw. deren Speichereinrichtungen umzulenken und umgekehrt.
Weiterhin muss der Datenbus bei 8 Bit-Zugriffen (E/A, DMA) auf ungerade Adressen umgeschaltet werden:

- D8...D15 auf D0...D7 bei OUT-Befehlen
- D0...D7 auf D8...D15 bei IN-Befehlen
- D0...D7 auf D8...D15 beim DMA-Speicher-Schreib-Zyklus
- D8...D15 auf D0...D7 beim DMA-Speicher-Lese-Zyklus

Unter drei verschiedenen Bedingungen ist die Benutzung der Byte-Swap-Logik also notwendig:

- wortweiser Zugriff auf Speicher mit 8 Bit-Bus
- E/A-Zugriff auf Tor mit ungerader Adresse
- DMA-Zugriff auf ungerade Speicheradresse

4.12.2. Wortzugriff auf Speicher mit 8 Bit-Datenbus

4.12.2.1. Speicher schreiben

Nach Ausgabe der Speicheradresse, dem 16 Bit-Datenbus D0...D15 und MEMW wird die CPU über /R-W84 in WAIT gesteuert [FF D38/5=LOW], wobei Daten und Adressen von der CPU weiter anliegen. /CS86H und /CS86L sind durch DEN (data enable) vom Bus-Controller, /BHE=LOW und A0=LOW (immer LOW bei Wortzugriff) aktiv geschalten und geben die Datenbustreiber [D21, D23] der CPU frei. Somit wird das L-Byte (D0...D7) in die adressierte Speicherzelle eingetragen. Da die CPU weiter im WAIT-Zustand bleibt, wird mit Hilfe einer Flip-Flop-Kette [D15/5, D36] ein zweiter Speicher-Schreib-Zyklus, synchronisiert mit dem Systemtakt, nachgebildet, so dass auch das H-Byte (D8...D15) an den Speicher übergeben werden kann.
In dem nun folgenden zweiten Speicher-Schreib-Zyklus wird zuerst für eine Taktperiode der Bus-Controller mit CEN=LOW inaktiv geschalten, um

/MEMW für den Speicher neu zu aktivieren (Flanke notwendig). Mit dem nächsten Takt wird ein D-FF [D15/9] gesetzt, welches /CS86L inaktiv schaltet, die Adressleitung A0 von LOW auf HIGH setzt und CS für einen 8 Bit-Treiber [D22] bildet, der den Datenbus D8...D15 von der CPU auf den Datenbus D0...D7 für die Speicher schaltet. Die Datenflussrichtung des Treibers wird durch das Signal DT-/R=LOW (data transmit-/read) vom Bus-Controller bestimmt. Somit wird also im zweiten Speicher-Schreib-Zyklus der H-Teil des Datenbusses der CPU auf die Datenleitungen D0...D7 für den Speicherzugriff umgelenkt. Anschliessend wird der WAIT-Zustand der CPU wieder aufgehoben.

4.12.2.2. Speicher lesen

Der Ablauf des Speicherzugriffes beim wortweisen Lesen durch die CPU aus Speichern mit 8 Bit-Datenbus ist prinzipiell der gleiche. Zusätzlich muss noch die Voraussetzung geschaffen werden, dass der CPU, wenn sie den WAIT-Zustand verlässt, ein 16 Bit breites Datenwort zur Verfügung steht. Deshalb wird der Inhalt der ersten durch die CPU adressierten Speicherzelle (mit gerader Adresse in einem Latch-Register [D24] zwischengepuffert. Einen Systemtakt später schaltet A0 von LOW nach HIGH , und der Datenbustreiber zur Umlenkung der Datenleitungen D0...D7 vom Speicher auf D8...D15 der CPU sowie das Latch-Register [D24] für D0...D7 werden freigegeben. Wieder einen Systemtakt später wird die CPU aus dem WAIT-Zustand entlassen und kann von AD0...AD7 und D8...D15 ein komplettes 16 Bit-Wort übernehmen.

4.12.3. E/A-Zugriff auf Tore mit ungerader Adresse

Die Daten für ungerade Ausgabe-Toradressen gibt die CPU auf D8...D15 aus und erwartet auch bei Eingabebefehlen von ungeraden Adressen die Daten auf D8...D15.
Es sind grundsätzlich nur byteweise E/A-Befehle zugelassen. Eine Überwachungslogik [D32/3] sorgt dafür, dass bei wortweisen E/A-Befehlen der 8 Bit-Treiber [D22] für die Umlenkung des Datenbusses nicht freigegeben wird.
Die Richtungsvorgabe für den Datenbustreiber erfolgt entsprechend des Signalpegels von DT-/R in Abhängigkeit von IOR bzw. IOW. CS für D22 schaltet am NAND D11/6.

4.12.4. DMA-Zugriff auf ungerade Speicheradresse

Bei DMA-Zugriff auf ungerade Speicheradresse wird mit /AEN=LOW der Bus-Controller inaktiv geschaltet, so dass die Signale /MEMR oder /MEMW vom DMA gültig sind. Mit A0=HIGH schaltet CS für den Treiber zur Umlenkung des Datenbusses [D22]. Die Datenflussrichtung des Treibers wird mit /XMEMW des DMA eingestellt.

4.13. NMI-Register

Ein nichtmaskierbarer Interrupt (NMI) kann von vier unterschiedlichen Quellen ausgelöst werden (siehe 4.7.). Das Signal /IOCHCK wird aktiv bei Paritätsfehlern der Speichererweiterung und bei E/A-Befehlen auf verbotene Toradressen (siehe 4.2.2.). Vom System ist also nicht erkennbar, welche Quelle den NMI ausgelöst hat. Deshalb wird mit Auftreten von /IOCHCK der augenblickliche Zustand des Adressbusses A0...A9 sowie der Steuersignale /IOR, /IOW und /BHE in Latch-Registern [D30, D31] festgehalten und kann in der Interrupt-Behandlungsroutine über

die Toradressen 80 und 81 gelesen und ausgewertet werden. Damit ist die Unterscheidung von Speicher-Paritätsfehlern und E/A-Zugriffen auf verbotene Adressen gewährleistet.
Die beiden anderen NMI-Quellen, Co-Prozessor und Paritätsfehler Systemplatinen-RAM (PCK) werden folgendermassen unterschieden:
- Co-Prozessor meldet zusätzlich IRQ 13
- PCK kann über Port C Eingang 7 des PPI abgefragt werden

4.14. Tastatur-Anschluss

Den Tastatur-Anschluss realisiert ein Einchip-Mikrorechner UC 8821 [D55], der mit einem EMR UC 8820 auf der Tastatur korrespondiert. Das Programm für den EMR ist in einem 2 K-EPROM U 2716 [D56] enthalten. Daten werden nur von der Tastatur zum System mit KBCLK und KBDATA gesendet (XT-MODUS). Die übrigen angeschlossenen Ports dienen der Steuerung des EMR bzw. der Abfrage des Konfigurationsschalters S1, dessen Schalterinformation an den PPI übergeben wird.
Portbelegung:

Port 0: Übernahme Schalterstellung Konfigurationsschalter S1
Port 1: bidirektionales Dateninterface zwischen PPI und EMR
Port 2: Steuerleitung vom PPI
Port 3: P30/P31 - Testen der Signale auf den Leitungen KBDATA und KBCLK
P32/P33 - Steuerleitung vom PPI
P34 - Steuerleitung zum PPI
P35 - Bildung von KBCLK
P36 - Bildung von IRQ1
P37 - Bildung von KBDATA

Der EMR hat folgende Aufgaben zu erfüllen:
- Steuerung des Tastatur-Interface und Serien-/Parallel-Wandlung sowie Paritätsprüfung und -generierung, Zeitüberwachung
- Erzeugung des Interrupt-Signales IRQ1 nach Empfang eines gültigen SCAN-Codes
- Übertragung der Schalterinformation zum PPI
- Selbsttest nach dem Einschalten

5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht

Steckverbinder X1.1...X1.8: siehe Bus-Richtlinie PC EC 1834

Steckverbinder X2:

PIN	Kurzzeichen	Bezeichnung
1	12P	
2	00	
3	12N	
4	00	
5	00	
6	5N	

Steckverbinder X3:

PIN	Kurzzeichen	Bezeichnung
1	00	
2	00	
3	00	
4	00	
5	5P	
6	5P	
7	5P	
8	5P	

Steckverbinder X4:

PIN	Kurzzeichen	Bezeichnung
1	PIP	Tongeber-Signal
2	5P	

Steckverbinder X5:

PIN	Kurzzeichen	Bezeichnung
1	00	
2	5P	

Steckverbinder X6:

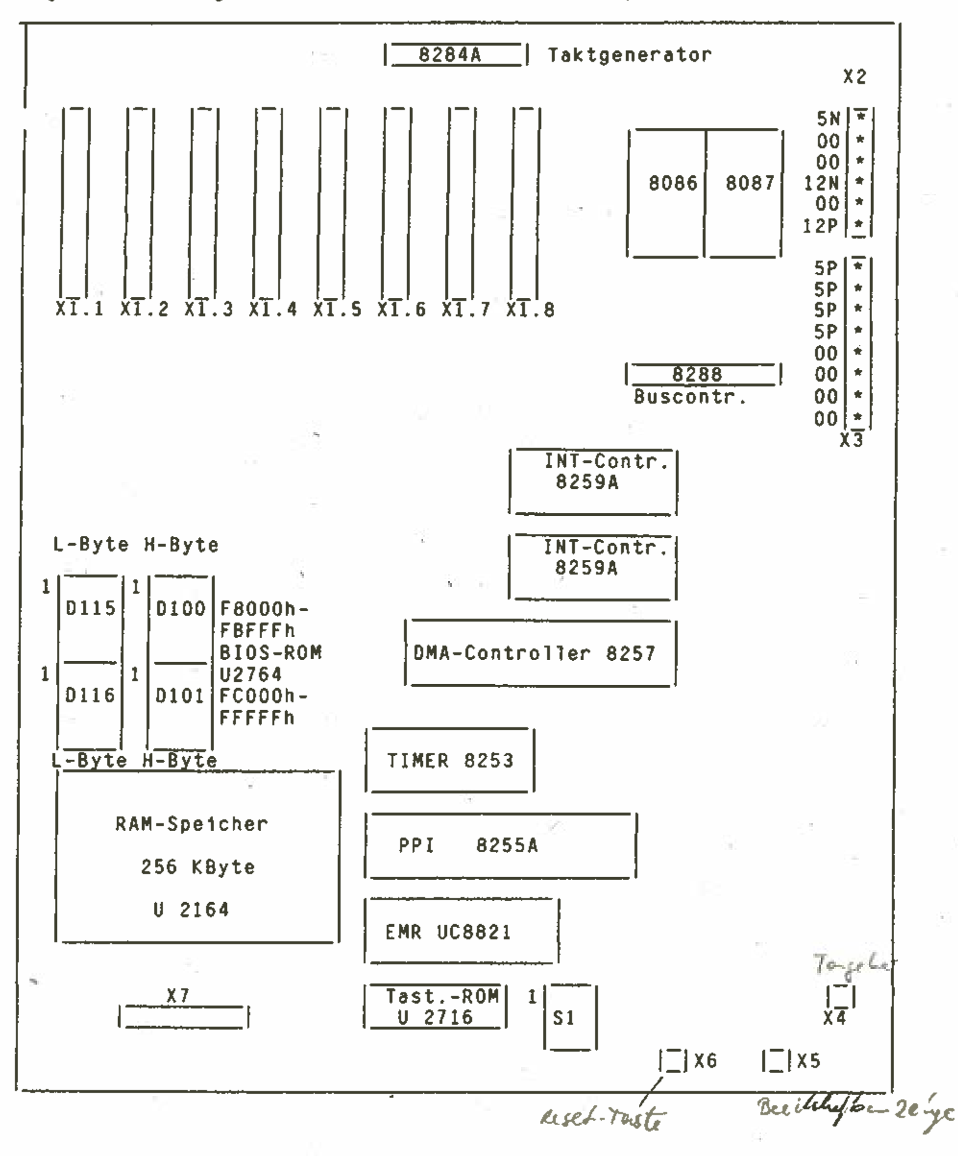
PIN	Kurzzeichen	Bezeichnung
1	00	
2	/RES	

Steckverbinder X7:

PIN	Kurzzeichen	Bezeichnung
1	5P	
2	KBCLK	keyboard clock
3	-	
4	KBDATA	keyboard data
5	00	
6	5P	
7	-	
8	-	
9	00	

6. Einstellvorschrift

Lage der wichtigsten Bauelemente auf der Leiterplatte



X1.1...X1.8	Steckplätze für Erweiterungsbaugruppen
X2	Stromversorgungsanschluss
X3	Stromversorgungsanschluss
X4	Anschluss Tongeber
X5	Bereitschaftsanzeige
X6	RESET-Anschluss
X7	Tastatur-Anschluss
S1	Konfigurations-Schalter

```
|  | * |   Steckverbinder
|1 | * |   X4...X6
```

Auf der Systemplatine befindet sich ein 8-fach-DIL-Schalter, der zur Information der Systemsoftware über die installierten Komponenten dient. Die Schaltereinstellung wird programmgesteuert abgefragt.

Schalter	Funktion
15-16	Schalter "AUS"
13-14	Arithmetik-Coprozessor
09-10/11-12	Speicherausstattung der Systemplatine (nur 256 KByte)
05-06/07-08	aktueller Bildschirm nach Systemstart
01-02/03-04	Anzahl FD-Laufwerke

<u>Einstellungsvarianten des Schalters (Schalterdarstellung gedreht)</u>

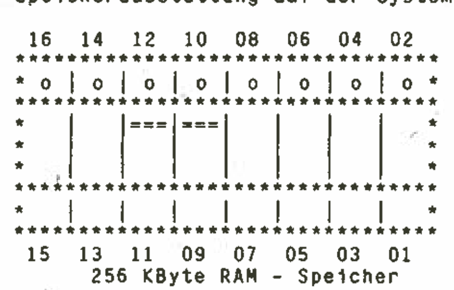
Arithmetik-Coprozessor

```
 16  14  12  10  08  06  04  02          16  14  12  10  08  06  04  02
*********************************       *********************************
* o | o | o | o | o | o | o | o *       * o | o | o | o | o | o | o | o *
*********************************       *********************************
*   |   |   |   |   |   |   |   *       *   |===|   |   |   |   |   |   *
*   |   |   |   |   |   |   |   *       *   |   |   |   |   |   |   |   *
*   |===|   |   |   |   |   |   *       *   |   |   |   |   |   |   |   *
*********************************       *********************************
*   |   |   |   |   |   |   |   *       *   |   |   |   |   |   |   |   *
*********************************       *********************************
 15  13  11  09  07  05  03  01          15  13  11  09  07  05  03  01
```

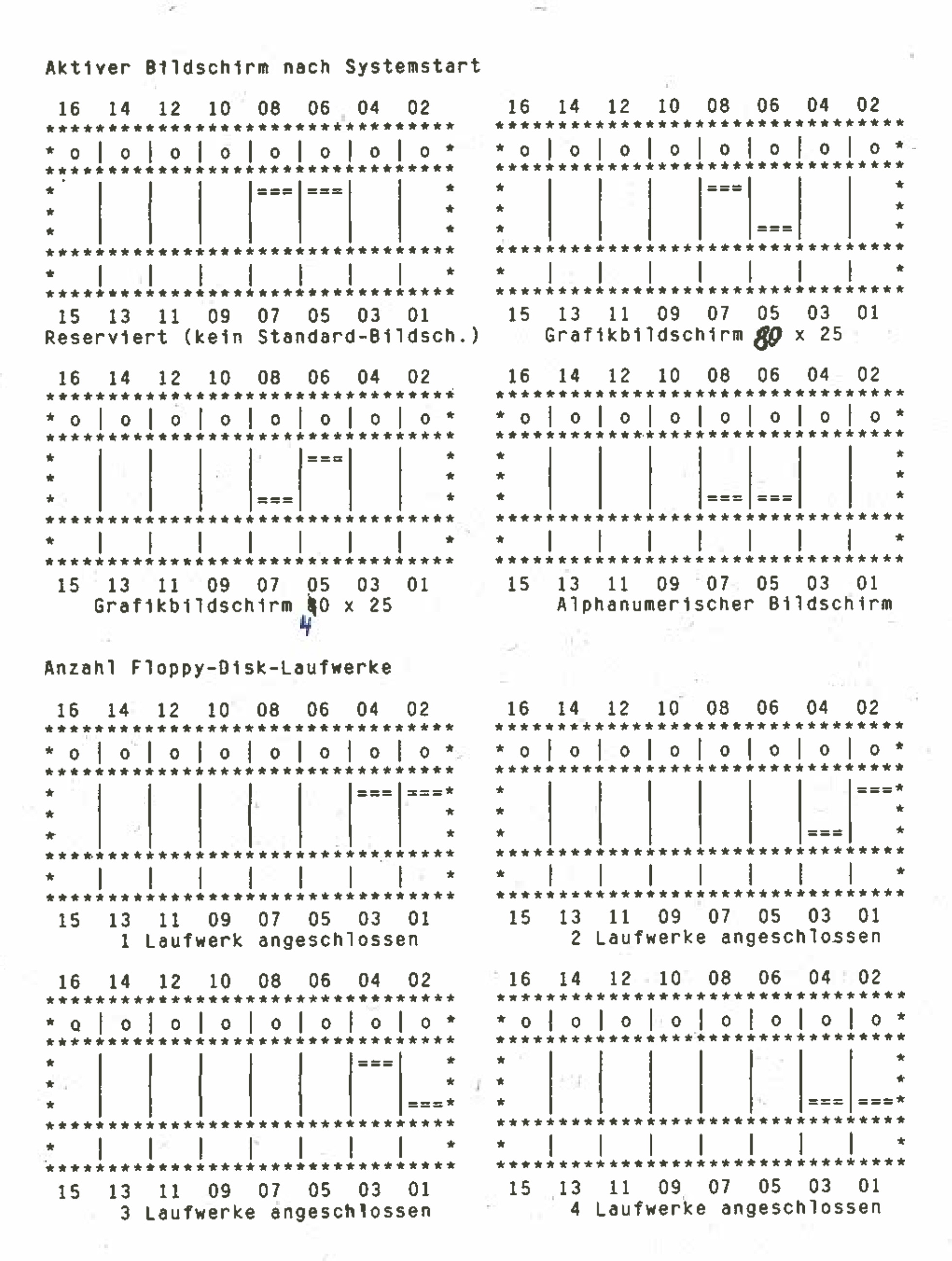
Koprozessor installiert

Koprozessor nicht installiert

Speicherausstattung auf der Systemplatine



256 KByte RAM - Speicher



7. Wartungsvorschrift

Die Systemeinheit ist wartungsfrei..pa

```
****************************************************************
*                                                              *
*                  Betriebsdokumentation                       *
*                                                              *
*          A u f t i s c h t a s t a t u r   K 7673            *
*             Personalcomputer robotron EC 1834                *
*                                                              *
****************************************************************
```

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
2.1. Mechanische Kennwerte
2.2. Anschluss- und Einsatzbedingungen
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Allgemeine Übersicht
4.2. Beschreibung der Tasten- und Anzeigefunktionen
4.3. Prinzipielle Wirkungsweise
5. Tastaturbelegung und SCAN-Codes
6. Kontaktbelegung des Steckverbinders mit Kurzzeichenübersicht
7. Einstellvorschrift / Wartungsvorschrift
8. Reparaturanleitung
8.1. Benötigte Unterlagen, Mess- und Hilfsmittel
8.2. Fehlersuche
8.3. Reparaturausführung

1.62.540132.1 (GER)
085-3-000
853.53.01.004

Stand: 04/88

1. Verwendung und Einordnung

Die Tastaturen robotron K 7673 verkörpern eine neue Generation von flachen Tastaturen für die Computertechnik. Sie erfüllen die internationalen Forderungen bezüglich Ergonomie und besitzen eine spezielle Mikrorechnerkonfiguration auf Basis Einchipmikrorechner (EMR). Als Wirkprinzip wird der Elastomerkontakt in Verbindung mit einer veredelten Kammstruktur auf der Leiterplatte verwendet.
Die Gestaltung des Tastenfeldes entspricht der international für Personalcomputer üblichen Form. Die Tastaturen werden in länderspezifischen Ausführungen hergestellt, wobei als wesentliches Merkmal eine Mehrfachbelegung einzelner Tasten des Tastenfeldes hervorzuheben ist.

2. Technische Daten

2.1. Mechanische Kennwerte

Grundraster in Zeilenrichtung:	4,75 mm
Zeilenabstand:	19 mm
Einbaulage:	5° Neigung zur Horizontalen
Betätigungsfrequenz einer Taste:	≤10 Hz
zeitlicher Abstand zwischen den Betätigungen zweier unterschiedlicher Tasten:	≥30 ms
Betätigungskraft:	0,5 ... 1 N
Tastenhub:	max. 4 mm
Masse:	1,5 kg
Abmessungen:	500 mm x 220 mm x 35 mm (Höhe in Reihe C: 30 mm)

2.2. Anschluss- und Einsatzbedingungen

Betriebsspannung:	5P (+5V ±5%)
Stromaufnahme:	ca. 350 mA (ohne Beachtung der Anzeigen)
Taktfrequenz für EMR:	8 MHz
Systemtrennstelle:	Serielle Schnittstelle (XT - Interface) 1 Startbit und 8 Datenbit Takt und Daten: ca. 1 ms / Byte RESET-LOW-Zeit: ca. 500 ms
Einsatzbedingungen:	EK3 / TK2 / G02 / S21 / TM1 und EK3 / TK2 / G02 / S21 / TM3 Schutzgrad IP 20

Die Tastatur erfüllt in Verbindung mit dem Gesamtgerät PC EC 1834 die gerätespezifischen Forderungen der Funkentstörung.

Hinweis!
Der Einsatz der Tastaturen darf nur an Geräten erfolgen, die die Forderung an die Schutzmassnahme "Sicherheitskleinspannung" erfüllen.

3. Konstruktiver Aufbau

Die Tastatur K 7673 ist eine Flachtastatur in einem zweiteiligen Vollplast-Auftischgehäuse. Beide Schalen werden durch sich an den Rändern befindliche Einrastungen sowie fünf Schrauben zusammengehalten.
Zur elektrischen Verschaltung der Tastelemente dient eine Matrix-Leiterplatte, auf welcher diese in eine Matrix eingebunden sind. Die Stösselführungen der Tastelemente sind mit der Leiterplatte verschweisst. Beim Betätigen einer Taste wird die Kontaktgabe durch Berührung des Elastomerformteiles mit der vergoldeten Kammstruktur der Leiterplatte realisiert. Eine Schutzmatte bzw. Einzeldichtelemente zwischen Stösselführung und Leiterplatte verhindern Kontaktunsicherheiten durch Staub u.ä. Unter der Matrix-Leiterplatte befindet sich eine Matte zum Schutz der Lötseite vor mechanischer Zerstörung.
Die Tastaturelektronik ist auf einer separaten Elektronik-Leiterplatte untergebracht und besteht im wesentlichen aus dem EMR UB 8820, einem 2K-EPROM und einem Demultiplexer V 4051. Durch diese handelsüblichen elektronischen Bauelemente der Standardtypenreihen ist bei eventuellen Reparaturen eine Austauschbarkeit weitestgehend möglich.
Die elektrische Verbindung zwischen beiden Leiterplatten wird über zwei Bandleitungen und Schlitzklemmstecker realisiert. Zur Systemplatine des PC EC 1834 führt ein auf der Elektronik-Leiterplatte eingelötetes 8-adriges geschirmtes ca. 1 m langes Plastschlauchkabel, welches an der Frontseite des PC über eine 9-polige Cannon-Steckerleiste angesteckt wird.
Die Arretierung beider Leiterplatten im Gehäuse erfolgt durch spezielle Ausformungen in beiden Gehäuseteilen.

4. Funktionsbeschreibung

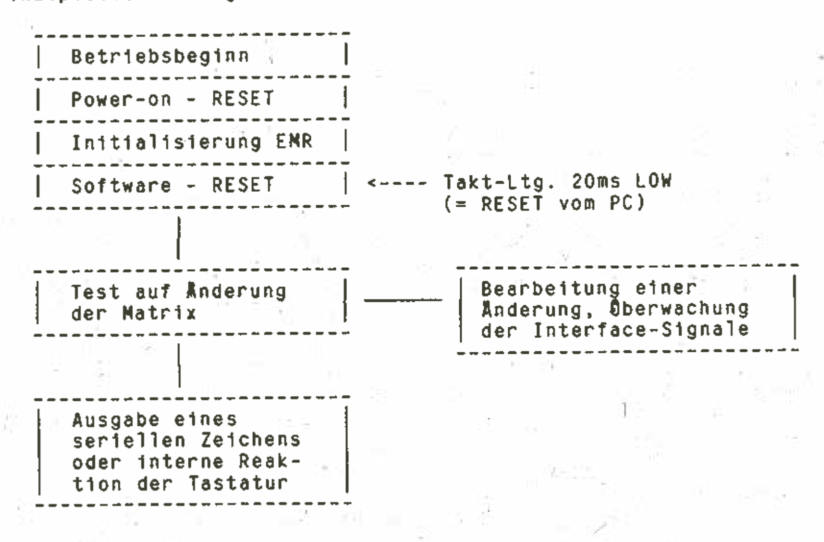
4.1. Allgemeine Übersicht

Beim Betätigen einer Taste wird deren Elastomerformteil gegen eine vergoldete Kammstruktur auf der Matrix-Leiterplatte gedrückt. Über die Elektronik zur Ansteuerung und Abfrage der Tastaturmatrix wird diese Tastenbetätigung erkannt und die der Taste zugeordnete Spaltenleitung auf "LOW" geschaltet.
Eine Auswertung der betätigten Taste erfolgt über den EMR UB 8820, welcher schliesslich aus dem EPROM-Speicher den zugehörigen Make/Break-Code beim Betätigen und Loslassen der Taste seriell über die Leitung KBDATA zum EMR UC 8821 der Systemplatine überträgt.

4.2. Beschreibung der Tasten-und Anzeigefunktionen

Siehe: Anwenderdokumentation
"Anleitung für den Bediener / Hardware-Installationshandbuch"
Pkt. 3.2.

4.3. Prinzipielle Wirkungsweise



4.3.1. Einschaltfunktionen

Mit dem Zuschalten der Betriebsspannung wird über den Schwellspannungsschaltkreis D6 ein "Power-on RESET" erzeugt. Das interne Mikroprogramm startet; der EMR initialisiert sich und konfiguriert seine Ports.
In einem sich anschliessenden internen Basis-Funktionstest werden u.a. die LED's der Tastatur sowie der Tastaturpuffer gelöscht und die internen Statusregister zurückgesetzt. Mit Abschluss des Funktionstestes erfolgt das Aussenden eines Quittungscodes zum System. Im Fehlerfall wartet die Tastatur auf ein Software-RESET, ansonsten beginnt die zyklische Abfrage der Tastaturmatrix.

4.3.2. Tastenbetätigungen

Die Matrixabfrage ist nach folgendem Schema organisiert:
- zyklische Ausgabe des Binärcodes (00H ... 07H) über Port P2 des EMR
- zyklisches Beschalten von jeweils einer Zeilenleitung mit "LOW" über 1 aus 8 - Decoder D5
- Übertragen des LOW-Potentials auf die der gedrückten Taste entsprechenden Spaltenleitung
- Übernahme der Spalteninformation in den EMR über Port P0 und P1

Mit Hilfe der ausgegebenen Zeilen- und der empfangenen Spalteninformation erfolgt die exakte Ermittlung der gedrückten Taste.
Die Tastaturelektronik kann max. drei gleichzeitig gedrückte Tasten erkennen. In einem 16-Zeichen-FIFO-Puffer des EMR werden die SCAN-Codes der betätigten Tasten zwischengespeichert, bis das Interface bereit ist, sie zu übertragen. Die Codes werden in der eingetragenen Reihenfolge gesendet. Die Bedingung "Pufferüberlauf" tritt auf, wenn mehr als 16 Tastencodes im Puffer gespeichert werden sollen, bevor der erste Code abgeschickt wurde. Dabei wird der 17. Code durch einen Überlaufcode ersetzt.

Alle Tasten sind als "make/break" klassifiziert. Beim Drücken einer Taste wird ein Make-Code gesendet und beim Loslassen derselben der Break-Code. Der Break-Code einer Taste ist ihr Make-Code, geodert mit 80h.
Ausser Taste "Pause" haben alle Tasten Typamatic-Funktion. Wird eine Taste gedrückt gehalten, sendet die Tastatur nach einer Zeitschwelle von ca. 500 ms mit einer Typamatic-Rate von 10,9 Zeichen pro Sekunde wiederholt den Make-Code. Werden zwei oder mehr Tasten gedrückt gehalten, wird nur die zuletzt betätigte Taste mit der Typamatic-Rate wiederholt. Ein Pufferüberlauf als Folge einer Typamatic-Operation wird programmtechnisch verhindert.

4.3.3. Bedienung der Tastaturschnittstelle

4.3.3.1. Allgemeines

Die Steuerung des Tastaturinterfaces erfolgt über einen Einchip-Mikrorechner UB 8820 seitens der Tastatur und über einen EMR UC 8821 seitens der Systemplatine des PC. Die Anpassung an den internen Bus der Systemplatine gewährleistet der Schaltkreis PPI analog 8255.
Der Einsatz der EMR ermöglicht prinzipiell die Bedienung unterschiedlicher Interfaces, wobei für den PC EC 1834 die PC/XT-analoge Tastaturschnittstelle realisiert ist.

4.3.3.2. Funktionen der Einchip-Mikrorechner

EMR UC 8821 (Systemplatine)

Port 0:	Dient zur Übernahme der acht Schalterinformationen von S1		
Port 1:	Realisiert das bidirektionale Dateninterface zum PPI; die Richtung der Übertragung wird durch CPU-Kommandos bestimmt		
Port 2:	Steuerleitung zum PPI		
Port 3:	P30/P31	-	Eingänge zum Testen der Signale auf den Leitungen KBDATA und KBCLK
	P32/P33/P34	-	Steuerleitungen vom bzw. zum PPI
	P35	-	Bildung von KBCLK (Taktleitung)
	P36	-	Bildung von IRQ1
	P37	-	Bildung von KBDATA (Datenleitung)

Folgende Hauptfunktionen werden realisiert:
- Übernahme von Kommandos der CPU (über PPI) und deren Ausführung
- Steuerung des Tastaturinterfaces; insbesondere Serien/Parallel-Wandlung, Paritätsprüfung bzw. -generierung, Zeitüberwachung
- Erzeugung des Interruptsignals IRQ1
- Übertragung der Schalterinformation zur CPU
- Selbsttest nach dem Einschalten

EMR UB 8820 (Tastatur)

Port 0:\ Port 1:/	Dienen der Übernahme der Spalteninformation in den EMR		
Port 2:	P20/P21/P22	-	zyklische Ausgabe des Binärcodes zur Auswahl der Zeilenleitungen
	P24/P25/P26	-	Ansteuerung der LED-Anzeigen der Tastatur
Port 3:	P30/P31	-	Eingänge zum Testen der Signale auf den Leitungen KBDATA und KBCLK
	P36	-	Bildung von KBCLK (Taktleitung)
	P37	-	Bildung von KBDATA (Datenleitung)

Folgende Hauptfunktionen werden realisiert:
- Erkennen der gedrückten (make-) bzw. der losgelassenen (break-) Tasten
- Ermittlung des Positionscodes (SCAN-Code) der betätigten Taste
- Parallel/Serienwandlung des SCAN-Codes
- Steuerung des seriellen Interfaces entsprechend PC/XT-Protokoll
- Schalten der LED's
- Realisierung eines Tastaturpuffers

4.3.3.3. Übertragungssteuerung

Erst nach mehreren Matrixabfragen wird eine Taste als gültig angesehen und deren SCAN-Code über die Datenleitung seriell zur Verfügung gestellt. Im PC/XT-Modus werden Daten prinzipiell nur von der Tastatur zum System ausgegeben.
Tastatur und Rechner arbeiten über die bidirektionalen Leitungen KBCLK und KBDATA zusammen. Über KBCLK liefert die Tastatur einen Takt und über KBDATA erfolgt die Übertragung der SCAN-Codes der Tastatur seriell mit einem Startbit und acht Datenbits. Bevor die Tastatur Daten zum System übertragen kann, muss sie erst den Zustand der beiden Leitungen überprüfen. Liegen beide auf HIGH, kann die Datenübertragung in der beschriebenen Bitfolge stattfinden. Ist eine der Leitungen oder beide auf LOW, werden die Codes der betätigten Tasten im Tastaturpuffer zwischengespeichert.
LOW-Pegel auf KBDATA entsteht auf der Rechnerseite nach dem Empfang eines vollständigen SCAN-Codes. Der EMR UC 8821 schaltet die SCAN-Code-Information parallel auf die PA-Leitungen des PPI. IRQ1 wird HIGH (Voraussetzung: PB7=LOW). Damit schaltet KBDATA auf LOW - die Übertragung eines neuen SCAN-Codes ist unterbunden, bis über PB7=HIGH IRQ1 wieder inaktiv wird.
Während der HIGH-Phase des Taktes auf der Leitung KBCLK ist die Bitinformation auf KBDATA gültig. Zieht das System die KBCLK-Leitung auf LOW, stoppt die Tastatur das Senden der Datenbits, da mindestens aller 60 us eine Prüfung der KBCLK-Leitung seitens der Tastatur stattfindet. Ist KBCLK für länger als 20 ms LOW, signalisiert dies der Tastatur eine Rücksetzoperation (Software-RESET). Die Tastatur quittiert ein Rücksetzen, auch das Anfangsrücksetzen, mit dem SCAN-Code "AA".

5. Tastaturbelegung und SCAN-Codes

Tastenposition	Zeile/Spalte in der Matrix	SCAN-Code	Tastenposition	Zeile/Spalte in der Matrix	SCAN-Code
G 00	7/C	54	G 02	5/C	3B
G 03	7/E	3C	G 04	7/F	3D
G 05	3/E	3E	G 07	3/F	3F
G 08	6/E	40	G 09	6/F	41
G 10	2/E	42	G 12	5/E	43
G 13	5/F	44	G 14	1/E	57
G 15	1/F	58	G 47	4/E	E037
G 48	4/F	46	G 49	0/E	*)
E 00	5/6	01	E 01	0/0	02
E 02	4/0	03	E 03	0/1	04
E 04	4/1	05	E 05	0/2	06
E 06	4/2	07	E 07	0/3	08
E 08	4/3	09	E 09	0/4	0A
E 10	4/4	0B	E 11	0/5	0C

Tasten-position	Zeile/Spalte in der Matrix	SCAN-Code	Tasten-position	Zeile/Spalte in der Matrix	SCAN-Code
E 12	4/5	0D	E 13	6/7	29
E 14	4/7	0E	E 47	0/9	E052
E 48	4/9	E047	E 49	0/A	E049
E 51	4/A	45	E 52	0/B	E035
E 53	4/B	37	E 54	0/7	4A
D 00	0/6	1D	D 01	1/0	10
D 02	5/0	11	D 03	1/1	12
D 04	5/1	13	D 05	1/2	14
D 06	5/2	15	D 07	1/3	16
D 08	5/3	17	D 09	1/4	18
D 10	5/4	19	D 11	1/5	1A
D 12	5/5	1B	D 13	5/7	0F
D 47	1/9	E053	D 48	5/9	E04F
D 49	1/A	E051	D 51	5/A	47
D 52	1/B	48	D 53	5/B	49
D/C 54	2/7	4E			
C 00	2/6	3A	C 01	2/0	1E
C 02	6/0	1F	C 03	2/1	20
C 04	6/1	21	C 05	2/2	22
C 06	6/2	23	C 07	2/3	24
C 08	6/3	25	C 09	2/4	26
C 10	6/4	27	C 11	2/5	28
C 12	6/5	2B	C/B 13	3/8	1C
C 51	6/A	4B	C 52	2/B	4C
C 53	6/B	4D			
B 99	3/6	2A	B 00	4/6	56
B 01	3/0	2C	B 02	7/0	2D
B 03	3/1	2E	B 04	7/1	2F
B 05	3/2	30	B 06	7/2	31
B 07	3/3	32	B 08	7/3	33
B 09	3/4	34	B 10	7/4	35
B 11	6/6	36	B 48	7/9	E048
B 51	7/A	4F	B 52	3/B	50
B 53	7/B	51	B/A 54	3/7	E01C
A 01	6/D	38	A 02 - A 09	7/7	39
A 10	7/D	E038	A 47	2/8	E04B
A 48	1/8	E050	A 49	0/8	E04D
A 51	4/8	52	A 52	5/8	E152E152
A 53	6/8	53			

*) SCAN-Code der Taste "PAUSE" (Koordinate G 49):
- E1 1D 45 E1 9D C5 ----> normal
- E0 46 E0 C6 ----> mit CTRL

6. Kontaktbelegung des Steckverbinders mit Kurzzeichenübersicht

Am Tastaturkabel ist eine 9-polige Cannon-Steckerleiste mit folgender Belegung angelötet:

PIN	Kurzzeichen	Bezeichnung
1	KBN05P	keyboard 5V positiv
2	KBCLK	keyboard clock
3	-	.
4	KBDATA	keyboard data
5	KBN00	keyboard ground
6	KBN05P	keyboard 5V positiv
7	-	
8	-	
9	KBN00	keyboard ground

7. Einstellvorschrift / Wartungsvorschrift

Die Tastatur K 7673 ist wartungsfrei und im Dauerbetrieb einsetzbar. Sie besitzt eine hohe Lebensdauer und Funktionssicherheit.

8. Reparaturanleitung

8.1. Benötigte Unterlagen, Mess- und Hilfsmittel

- Stromlaufplan der Elektronikleiterplatte 1.49.686028.4/04
- Belegungsplan der Elektronikleiterplatte 1.49.686028.4/00
- Stromlaufplan Matrixleiterplatte 1.49.686003.4/04
- Matrixleiterplatte, bstue 1.49.686094.2/00
  Auftischtastatur K7673.02 1.49.686096.7/00
  (bzw. entspr. Ländervariante)
- Funktionsbeschreibung (Betriebsdokumentation)
- Oszillograf (mind. 10 MHz)
- Vielfachmesser
- PC EC 1834 mit Diagnoseprogramm DIAGN
- EPROM-Programmiergeraet (2 K)
- Reparaturlötplatz

8.2. Fehlersuche

Die Fehlersuche erfolgt mit dem Testprogramm DIAGN und Oszillograf. Das Programm DIAGN (Programmzweig Tastaturtest) wird mit einer funktionstüchtigen Tastatur gestartet. Danach erfolgt der Anschluss der defekten Tastatur zur Überprüfung der Kontaktgebung der einzelnen Tasten, des Taktes, der Zeilen- und Spaltensignale sowie der SCAN-Codes. Die Funktion der Schaltkreise D2, D3, D5 und D6 ist dabei eindeutig nachweisbar. Sind diese nicht defekt, verbleiben als möglich fehlerhafte Schaltkreise D1 und D4 (EMR und progr. EPROM), die zu wechseln sind.

8.3. Reparaturausführung

8.3.1. Auswechseln des Elastomerformteiles

Der Tastenknopf wird mit einem geeigneten Hilfsmittel (Schraubendreher, Federhaken) vom Stössel gelöst. Nach Entnahme der Rückstellfeder und der Nachlauffeder wird der Elastomerträger mit Elastomerformteil mittels einer Pinzette aus dem Stössel herausgehoben. Eine Berührung des Elastomerformteils mit den Fingern ist dabei zu vermeiden (Handschweiss!).
Vor dem Einbau ist die Taste kpl., insbesondere der Schaltraum zu reinigen (Haarpinsel, Staubsauger).

8.3.2. Öffnen des Tastaturgehäuses

Die 5 Zylinderblechschrauben sind aus dem Gehäuseunterteil herauszudrehen. Mittels geeignetem Werkzeug (Schraubendreher) müssen die Rastverbindungen beginnend an der vorderen Längsseite vorsichtig gelöst werden. Anschliessend ist das Gehäuseoberteil nach hinten zu klappen und auszuhängen.
Zur Reparatur sind die Matrix- und Elektronikleiterplatte auf einer geeigneten Unterlage abzulegen.

8.3.3. Auswechseln der Mehrfachknöpfe mit Parallelführung

Bei geöffneter Tastatur sind folgende Arbeitsschritte notwendig:
- Ausrasten des Führungsbügels aus den Lagerstellen der Parallelführungsaufsätze
- Führungsbügel kpl. aus den Ausklinkungen der Führungen herausziehen
- Abziehen des Tastenknopfes
- Abheben der Parallelführungsaufsätze von der Stösselführung mittels Schraubendreher (sofern erforderlich)

8.3.4. Auswechseln defekter Stössel und Stösselführung

Diese Reparatur erfolgt nur im Fertigungsdurchlauf beim Hersteller und ist nur mit einer geeigneten Vorrichtung durchzuführen.
Beim Kunden ist ein solcher Ausfall durch Austausch der Tastatur zu beheben.

8.3.4. Weitere Reparaturhinweise

- Die Einbauhöhe der LED's beträgt von Oberkante der Leiterplatte bis zur Oberseite der LED 15,5 mm.
- Bei Fehler am Flachbandkabel (Verbindung zwischen Matrix- und Elektronikleiterplatte) ist ein einmaliges Nachsetzen möglich. Ansonsten ist es auszuwechseln.
  Dabei ist besonders darauf zu achten, dass die Rastverschlüsse der Verteilerleisten nicht ausbrechen!
- Das Wechseln des Tastaturanschlusskabels erfolgt als Baugruppe "Leitung kpl.". Ist diese Baugruppe nicht vorhanden, kann im Austausch Plastschlauchleitung HYY 10x1x0,14 verwendet werden.

```
*******************************************************************
*                                                                 *
*                   Betriebsdokumentation                         *
*                                                                 *
*       F l o p p y  -  D i s k  -  C o n t r o l l e r           *
*            Personalcomputer robotron EC 1834                    *
*                                                                 *
*******************************************************************
```

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
3. Konstruktiver Aufbau
4. Funktionsbeschreibung
4.1. Allgemeine Übersicht
4.2. Beschreibung der Funktionsgruppen
4.2.1. RESET-Erzeugung
4.2.2. Takterzeugung
4.2.3. Motorsteuerung
4.2.4. Steuerregister
4.2.5. Laufwerkauswahl
4.2.6. Schreibsteuerung
4.2.7. Lesesteuerung
4.2.8. Lesen des ersten Sektors
4.2.9. DMA-/INT-Arbeit
5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht
6. Einstellvorschrift
6.1. DIL-Schalter S1
6.2. Einstellung der PLL
6.3. Einstellung des Read-Data-Impulses
7. Wartungsvorschrift

1.62.540124.1 (GER)
085-3-000
852.53.01.006

Stand: 03/88

1. Verwendung und Einordnung

Die Ansteuerung der Folienspeicher erfolgt über den Floppy-Disk-Controller unter Steuerung des Schaltkreises FDC 8272. Sie dient zum Anschluss von max. 4 Floppy-Disk von 5,25 Zoll oder auch von 8 Zoll Standard-Floppy-Disk. 5,25-Zoll-Disketten können im MFM-Verfahren, 8-Zoll-Disketten im MFM- und FM-Verfahren bearbeitet werden.
Zwei geräteinterne 5,25"-Floppy-Disk werden auf dem Floppy-Disk-Controller an einer 34-poligen Verteilerleiste in Schlitzklemmtechnik angeschlossen. Über eine zweite Verteilerleiste können nochmals zwei interne 5,25"-Floppy-Disk angeschlossen werden.
Standard-Floppy-Disk werden über einen 37-poligen Steckverbinder an der Rückseite der Systemeinheit extern angeschlossen. Folgende Varianten können eingesetzt werden:

1. Anschluss von 2 internen Mini-Floppy-Disk
2. Anschluss von 4 internen Mini-Floppy-Disk
3. Anschluss von 2 internen Mini-Floppy-Disk und 2 externen Floppy-Disk-Laufwerken

Als interne Laufwerke werden vorzugsweise Floppy-Disk K 5601 eingesetzt. Externe Laufwerke können sowohl Mini- als auch Standard-Floppy-Disk sein.
Anschlussfähig sind folgende Laufwerkstypen:

5,25"-FD	8"-FD
K 5601	K 5602
K 5600.10	MF 3200
K 5600.20	MF 6400

Es muss jedoch für andere Laufwerkstypen als das K 5601 die softwareseitige Unterstützung vorhanden sein.

2. Technische Daten

Steckkarte	360 mm x 100 mm MLL III
Verbindungselemente	1 x Buchsenleiste X1 402-96 EBS-GO 4007 1 x Buchsenleiste X2 204-37 EBS-GO 4006/01-2V 2 x Verteilerleiste 34-polig X3,X4 806-3400-001
Betriebsspannungen	5P (+5V) 12P (+12V) 00 (Masse)
Laufwerksinterface	entsprechend Standard ISO 286
Schnittstelle zum EC 1834	entsprechend Busrichtlinie EC 1834
Aufzeichnungsverfahren	FM/MFM
Sektorlänge	128 Byte/256 Byte/512 Byte

3. Konstruktiver Aufbau

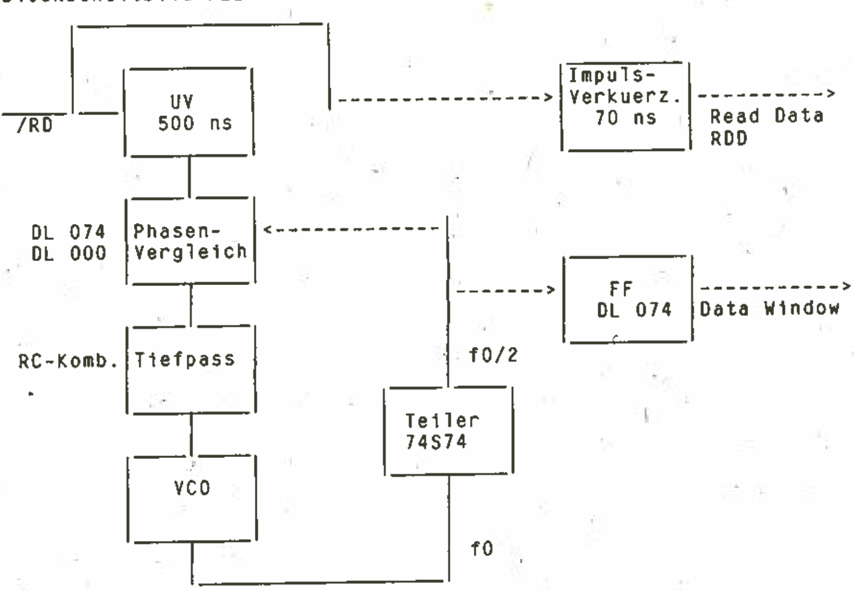
Der Floppy-Disk-Controller besteht aus einer Mehrlagenleiterplatte (MLL) der Grösse 360 mm x 100 mm. Die Verbindung zum Systembus realisiert die 96-polige indirekte Buchsenleiste X1. Über den Steckverbinder X2, eine 37-polige Buchsenleiste, können maximal zwei externe Laufwerke angeschlossen werden. Dieser Steckverbinder ist auf der Rückseite der Systemeinheit herausgefürt und somit von aussen zugänglich.
Zwei bzw. vier interne 5,25"-Laufwerke werden an den Verteilerleisten X3 und X4 angeschlossen. Die Verteilerleiste X3 ist mit den Laufwerken 0 und 1, X4 mit den Laufwerken 2 und 3 verbunden. Die Laufwerke 1 und 3 werden am jeweiligen Kabelende angesteckt und sind mit Leitungsabschlusswiderständen versehen. Alle intern eingesetzten Floppy-Disk sind laufwerkseitig mit DRIVE SELECT 1 zu adressieren.

4. Funktionsbeschreibung

4.1. Allgemeine Übersicht

Der Floppy-Disk-Controller besteht aus folgenden Funktionsgruppen:
- RESET-Steuerung
- Konfigurationsschalter
- Takterzeugung
- Motorsteuerung
- Steuerregister
- Laufwerkauswahl
- Schreibsteuerung
- Lesesteuerung
- DMA-Steuerung

Blockschaltbild PLL



4.2. Beschreibung der Funktionsgruppen

4.2.1. RESET-Erzeugung

Das RESET-Signal des Systems setzt den FDC 8272 [A1] über ein NAND [A9/11] in den Grundzustand und das FF zur Bildung des Motoreinschaltsignales zurück. Gleichzeitig wird das System-RESET den FD-Laufwerken zugeführt. Für den Fall, dass der FDC einen undefinierten Zustand einnimmt, ist die Möglichkeit gegeben, über OUT 3F4h mit Bit 6 zum Steuerregister [A31] nur den FDC zurückzusetzen, ohne den Zustand des gesamten Mikroprozessorsystems zu verändern.

4.2.2. Takterzeugung

Zum Anschluss von Standard-FD-Laufwerken wird ein 8-MHz- und für Mini-FD-Laufwerke ein 4-MHz-Grundtakt benötigt. Beide Takte werden aus einem quarzgesteuerten Taktgenerator von 8 MHz [Q1,A8] abgeleitet. Die Umschaltung des Taktes wird mit dem Signal F0 des Steuerregisters (Auswahl Standard- oder Mini-FD) über A9/3/6/8 realisiert.
Die Erzeugung des Schreibtaktes WRCLK erfolgt in Abhängigkeit vom Laufwerktyp (8 oder 5,25 Zoll,FM oder MFM) an den D-FF A25 und A22, die zwei Schreibtakte von 1us (8 Zoll MFM) bzw. 2 us Periodendauer (5,25 Zoll MFM, 8 Zoll FM) bilden.

4.2.3. Motorsteuerung

Die Motorein- und -ausschaltung /MO erfolgt softwaremässig über ein D-Flip-Flop mit OUT 3F6h und Schmitt-Trigger-Schaltkreise A 302. Beim Einschalten wird das das D-FF rückgesetzt. Durch die Softwaresteuerung des Motor-on-Signales wird der Verschleiss des Antriebsmotors so gering wie möglich gehalten.

4.2.4. Steuerregister

Das Steuerregister [A31] dient dazu, alle Funktionen der FD-Steuerung durch den FDC zu ermöglichen. Es besteht aus einem 8-fach D-FF und wird über den Datenbus durch die CPU mittels Ausgabebefehl auf das Tor 3F4h eingestellt.
Folgende Steuersignale können gesetzt werden:

* 5,25- oder 8-Zoll-Laufwerk
* precompensation-Zeiten
* Unterdrückung der precompensation
* Freigabe der LW-Select-Leitungen
* Sperren des Index-Loch-Signales für den FDC
* Software-RESET für den FDC
* Sperren der DMA-Steuerung

4.2.5. Laufwerkauswahl

Die Laufwerkauswahl erfolgt durch den FDC, der es ermöglicht, bis zu vier Laufwerke anzusteuern. Aus zwei Laufwerk-Selektionssignalen DS0 und DS1 des FDC werden mittels 1-aus-8-Decoders [A4] und einem Transistorarray [A38] die Laufwerk-Selektionssignale /SE0.../SE3 erzeugt. Da der FDC zyklisch die Laufwerke für jeweils 15 us anwählt, hat das zur Folge, dass bei Laufwerken mit aktivem Selektionssignal der Motor einschaltet. Die Folge ist erhöhter Motor- und Diskettenverschleiss.

Um dies zu verhindern, wird der 1-aus-8-Decoder nur zu bestimmten Zeiten freigegeben; entweder mit dem Signal UESEL aus dem Steuerregister oder dem Signal HDL (head load) vom FDC. Nach dem Verlassen der Programmroutine wird das Bit UESEL im Steuerregister wieder inaktiv geschaltet. HDL vom FDC muss ebenfalls inaktiv sein, und somit wird der Decoder gesperrt.
Um einen Laufwerk-Zugriff bei Spannungsausfall zu verhindern, wird über die Spannung 12P die Freigabe des Transistorarrays gesteuert. Eine Z-Diode bewirkt bei Unterschreiten von 7,5 V das Sperren des Transistorarrays, wodurch eine Deselektion der Laufwerke erreicht wird.

4.2.6. Schreibsteuerung

Die Schreibdaten vom FDC mit einer Impulsbreite von 200 ns werden in einem D-FF [A24/9] zwischengespeichert. Im MFM-Aufzeichnungsverfahren liefert der FDC ausserdem noch zwei precompensation-Signale PS0 und PS1, mit denen definiert wird, ob die Schreibimpulsabgabe früher, später oder normal erfolgen soll. Aus dem 8-MHz-Takt werden vier precompensation-Zeiten abgeleitet (125, 250, 375 und 500 ns; TA8, /TA4, TA3 und /TA2). Im Steuerregister wird eine der precompensation-Zeiten mit TIME1 und TIME2 softwaremässig ausgewählt und über den Multiplexer 1 [DL251, A029] ein Schieberegister getaktet [DL295, A37]. Mit der H-L-Flanke dieses Taktes werden die zwischengespeicherten Schreibimpulse in das Schieberegister DL 295 übernommen und mit jedem Takt weitergeschoben. Drei Ausgänge des Schieberegisters sind auf den Multiplexer 2 geführt[DL251, A30]. Dieser wird durch die precompensation-Signale PS0 und PS1 des FDC gesteuert. Der erste Ausgang des Schieberegisters ist für frühere, der zweite für normale und der dritte Ausgang für spätere Impulsabgabe verantwortlich. Für Laufwerke, die keine precompensation benötigen, kann diese über das Steuerregister gesperrt werden (PRE=LOW, Ausgang 6).

precompensation-Zeiten

	TIME1	TIME2
125 ns	L	L
250 ns	H	L
375 ns	L	H
500 ns	H	H

Schreibimpulsabgabe

	PRE	PS0	PS1
normal	L/H	L	L
früher	H	H	L
später	H	L	H

Am Ausgang des Multiplexers 2 liegen die Schreibimpulse über einen Leitungstreiber an den Laufwerken an [75450, A40].

4.2.7. Lesesteuerung

Die vom Laufwerk kommenden Lesedaten werden mittels eines UV [A27] auf 500 ns Impulsbreite eingestellt und dem Phasenregelkreis (PLL) zugeführt. Die PLL hat die Aufgabe, einen spannungsgesteuerten Oszillator in Frequenz und Phase mit den Lesedaten zu synchronisieren und Taktimpulse zu erzeugen, die in fester Relation zu den Lesedaten stehen. Damit können Langzeitschwankungen der Bitabstände infolge von Gleich-

laufschwankungen bzw. geringfügige Drehzahlabweichungen der Laufwerke ausgeglichen werden. Die PLL besteht aus Phasenvergleich [A10/6,8], nachgeschaltetem Tiefpass, einem spannungsgesteuerten Oszillator (OPV B761 [A36], Transistor SC 308 [V1], Schmitt-Trigger K155TL1 [A3], Kondensator 1000 pF [C10], Negator 7406 [A2/10]) und einem Teiler DL074 [A21/9].
Der Oszillatortakt wird über den Teiler [A21/9] gemeinsam mit den Lesedaten dem Phasenvergleich zugeführt. Ein weiterer Teiler [A23/9] kann je nach Wahl von Aufzeichnungsverfahren und -format zugeschaltet werden. Am Ausgang entsteht je nach Frequenz- und Phasenabweichung eine impulsförmige Fehlerspannung, die mittels des Tiefpasses geglättet wird und den spannungsgesteuerten Oszillator über den Operationsverstärker [A36] beeinflusst. Der Ausgang des OPV steuert über die Konstantstromquelle V1 den Schmitt-Trigger, dessen Schaltzeitpunkt sich in Abhängigkeit von der Grösse der Fehlerspannung verschiebt. Die Freilauffrequenz des Oszillators wird mit einem Regler auf 2000 kHz ± 2 kHz eingestellt. Mittels eines D-FF [A21/5] wird aus der halben Oszillatorfrequenz das Signal Data-Window erzeugt. In Abhängigkeit vom Aufzeichnungsverfahren ist es 1 oder 2 us lang LOW oder HIGH, wobei jede Polarität gültig ist. Der Lesetakt kann somit eine Frequenz von 500 kHz oder 1 MHz besitzen.
Ein zweites UV, gesteuert durch /RD, hat eine Haltezeit von 250 ns. Die Rückflanke markiert die Mitte eines Bitraumes, der ein Bit enthalten kann. Aus dieser Rückflanke wird ein ca. 70 ns breiter Impuls gewonnen, der dem FDC als Lesedatenimpuls zugeführt wird. Mit einem Regler kann dieser Impuls in die Mitte des Data-Window-Raumes gelegt werden. Damit ist es möglich, Einzelbits solange sicher zu erfassen, wie sie sich trotz eventueller Positionsabweichungen noch im für sie bestimmten Data-Window-Raum befinden.

4.2.8. Lesen des ersten Sektors

Die mittels eines FDC-Schaltkreises beschriebenen Disketten sind sowohl vom FDC als auch von Systemen, die nach der Norm ECMA 70 bzw. KROS 5110 arbeiten, lesbar. Bei den nach dieser Norm beschriebenen Disketten befindet sich jedoch das Adressfeld des ersten Sektors jeder Spur bedeutend näher am Index-Loch als bei vom FDC beschriebenen Disketten. Der erste Sektor jeder Spur einer solchen Diskette ist durch den FDC nicht lesbar.
Um diese Sektoren dennoch vom FDC lesen zu können, wird das Index-Signal /IX zum Lesen des ersten Sektors ausgeblendet. Zu diesem Zweck wird das Signal FIX des Steuerregisters [A31, bit 2] HIGH gesetzt und damit über das NOR-Gatter A12/4 der Index-Loch-Eingang IDX des FDC fest an LOW gehalten. Bei allen anderen Sektoren wird FIX auf LOW gesetzt, so dass das Indexlochsignal /IX über das NOR-Gatter zum FDC gelangen kann.

4.2.9. DMA-/INT- Arbeit

Der Datenaustausch zwischen FDC und RAM wird mittels des DMA (Direct Memory Access) realisiert. Das Signal DRQ (DMA-Anforderung) vom FDC wird über A44 verzögert, um die Zeitbedingungen einzuhalten und über den Treiber 8216 [A39] mit DRQ2 des DMA verbunden. Das Quittungssignal DACK2 des DMA wird gemeinsam mit Bit 8 des Steuerregisters A31, verknüpft an A18/8, dem FDC-Schaltkreis zugeführt und setzt ausserdem das Verzögerungs-FF [A44] zurück. Das Blockendesignal TC vom DMA-Schaltkreis gelangt nur in Verbindung mit DACK2 vom DMA zum FDC, da der DMA nur ein Block-endesignal besitzt. TC und DACK2 wiederum werden nur freigegeben, wenn Bit 8 des Steuerregisters LOW gesetzt ist. Ansonsten

ist dieses Bit HIGH und verhindert eine Störung bzw. Beeinflussung des FDC 8272.
Die Übertragung von Daten geschieht folgendermassen: Der FDC sendet das Signal DRQ (DMA-Anforderung) zum DMA-Schaltkreis auf der Systemplatine, welches mit /DACK2 bestätigt wird. Der DMA meldet nun seinerseits die BUS-Anforderung bei der CPU an. Erteilt die CPU dem DMA die BUS-Herrschaft, erfolgt der Datenaustausch zwischen FDC und Speicher oder umgekehrt über den DMA. Hat der DMA ein Byte übertragen, gibt er die BUS-Herrschaft an die CPU zurück und wartet darauf, dass er vom FDC die Anforderung für die Übertragung des nächsten Bytes erhält. Dieser Vorgang wiederholt sich bis zur Beendigung eines Übertragungszyklusses, der mit Senden des Signales TC (Terminal Count) vom DMA zum FDC abgeschlossen wird.

Das Interruptsignal vom FDC wird durch IRQ über den Treiber 8216 [A39] mit dem Interrupt-Controller auf der Systemplatine (hier IRQ6) verbunden.
Interrupts werden erzeugt bei:

- Datenlesen
- Spur lesen
- ID-Feld lesen
- Daten schreiben
- Spur formatieren
- Vergleichen
- Suchen
- Recalibrieren (Schreib-/Lesekopf auf Spur 00

5. Kontaktbelegung der Steckverbinder mit Kurzzeichenübersicht

Steckverbinder X1: siehe Busrichtlinie PC EC 1834

Steckverbinder X2:

PIN	Kurzzeichen	Bezeichnung
1	/RDYL	READY Laufwerk
2	/HDSEL	head select
3	/RD	read
4	/WP	write protected
5	/TO	track 00
6	/WE	write enable
7	/WD	write data
8	/ST	step
9	/SD	step direction
10	/MO2	motor on 2
11	/SE2	select 2
12	/MO3	motor on 3
13	/IX	index
14	/SE3	select 3
15	/LCT	low current
16	/FR	fault reset
17	/TS	two side
18	/FW	fault
19	/HL	head load
20...35	00	Masse
36	5P	+5V
37	/RESET	reset

Verteilerleiste X3:

PIN	Kurzzeichen	Bezeichnung
1	00	Masse
2	00	
3	00	
4	--	
5	00	
6	--	
7	00	
8	/IX	index
9	00	
10	/MO1	motor on 1
11	00	
12	/SE0	select 0
13	00	
14	/SE1	select 1
15	00	
16	/MO0	motor on 0
17	00	
18	/SD	step direction
19	00	
20	/ST	step
21	00	
22	/WD	write data
23	00	
24	/WE	write enable
25	00	
26	/T0	track 00
27	00	
28	/WP	write protected
29	00	
30	/RD	read
31	00	
32	/HDSEL	head select
33	00	
34	/RDYL	ready

Verteilerleiste X4:

PIN	Kurzzeichen	Bezeichnung
1	00	Masse
2	00	
3	00	
4	--	
5	00	
6	--	
7	00	
8	/IX	index
9	00	
10	/MO3	motor on 3
11	00	
12	/SE2	select 2
13	00	
14	/SE3	select 3
15	00	
16	/MO2	motor on 2
17	00	

PIN	Kurzzeichen	Bezeichnung
18	/SD	step direction
19	00	
20	/ST	step
21	00	
22	/WD	write data
23	00	
24	/WE	write enable
25	00	
26	/TO	track 00
27	00	
28	/WP	write protected
29	00	
30	/RD	read
31	00	
32	/HDSEL	head select
33	00	
34	/RDYL	ready

6. Einstellvorschrift

6.1. DIL-Schalter S1

Über den Konfigurationsschalter können bestimmte Zustände der FD-Steuerung eingestellt werden, z.B. unterschiedliche FD-Controllerschaltkreise:

S 1:1 EIN bei U 8272 D C04 (4 MHz-Variante)
S 1:1 AUS bei U 8272 D C08 (8 MHz-Variante)
S 1:2 bis S 1:7 AUS
S 1:8 EIN (Abfrage /RDYL vom Laufwerk)

Beachte: Pinbelegung von S1 entspricht nicht der Belegung der Schaltkreise, mit Ausnahme von A5!

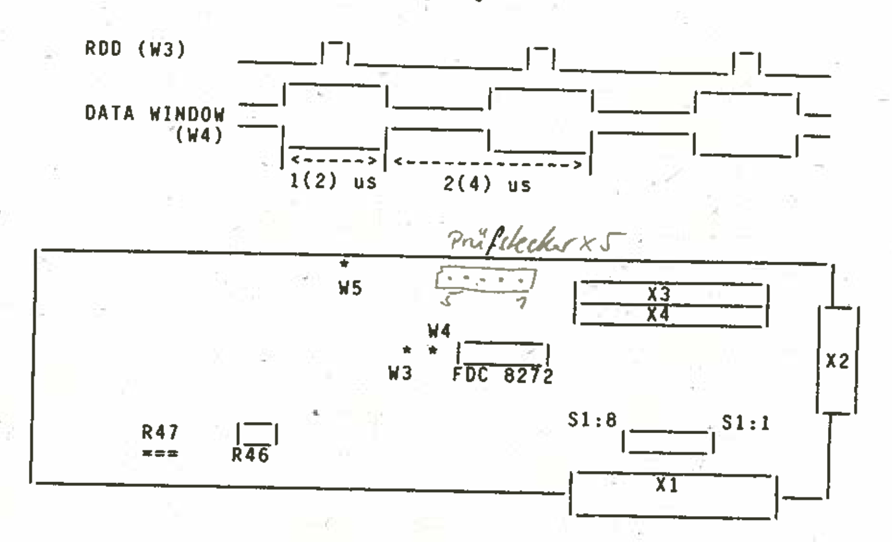
6.2. Einstellung der PLL

Die Freilauffrequenz des Oszillators (ohne Lesedaten) wird am Regler R46 (470 Ohm) auf 2000 kHz ± 2 kHz eingestellt. Messpunkt ist W5.

sol. X5-1

6.3. Einstellung des Read-Data-Impulses

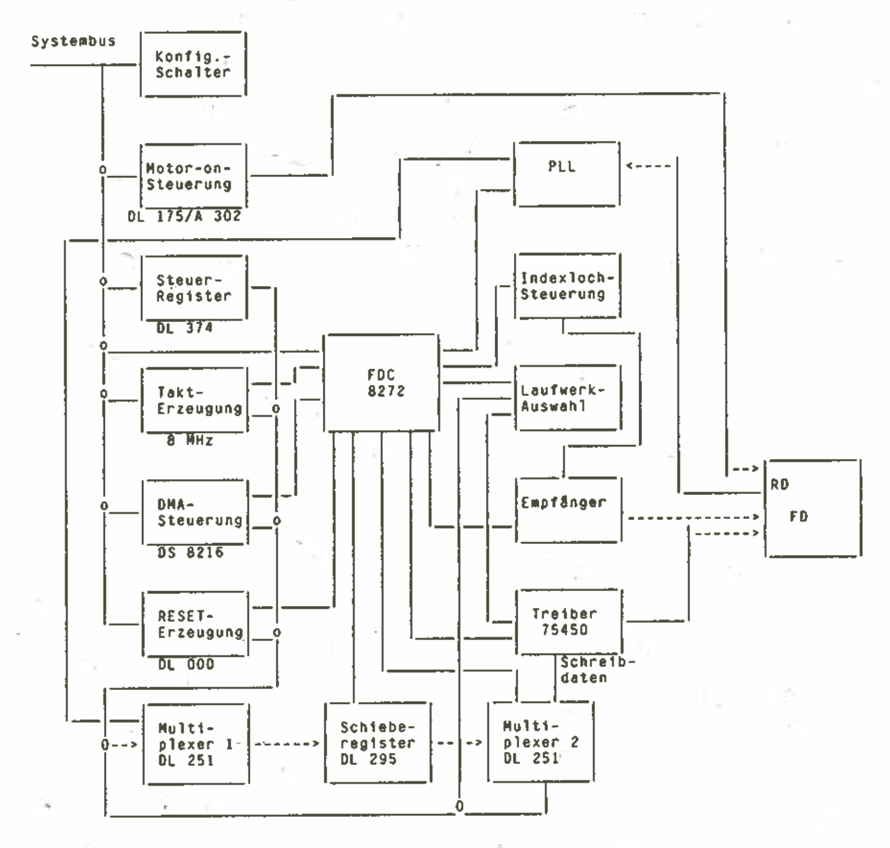
1. Strahl 1 des Oszillographen an Messpunkt W4 (data window) od. X5-2
2. Strahl 2 des Oszillographen an Messpunkt W3 (RDD) od. X5-4
3. Mit Regler R47 (10 kOhm) wird der RDD-Impuls in die Mitte des Data-Window-Raumes gelegt



7. Wartungsvorschrift

Der Floppy-Disk-Controller ist wartungsfrei.

Blockschaltbild FD-Steuerung



```
**************************************************************
*                                                            *
*                  Betriebsdokumentation                     *
*                                                            *
*   -    F l o p p y  -  D i s k   robotron  K 5601          *
*            Personalcomputer robotron EC 1834               *
*                                                            *
**************************************************************
```

Inhaltsverzeichnis

1. Verwendung und Einordnung
2. Technische Daten
2.1. Abmessungen/Masse
2.2. Umgebungsbedingungen
2.3. Stromversorgung
2.4. Signalinterface
2.5. Leistungsparameter
3. Elektronisches Interface
3.1. Allgemeines
3.2. Ein- und Ausgabesignale
3.3. Masseverbindung
4. Montage- und Einstellvorschrift/Betriebsbedingungen
4.1. Brücken
4.2. Steuerung der Frontplattenanzeige
4.3. Steuerung des Direktantriebes
5. Wartungsvorschrift

Stand: 03/88

1. Verwendung und Einordnung

Der Diskettenspeicher robotron K 5601 ist ein externer Speicher mit wahlfreiem Zugriff und hoher Datenkapazität. Die Diskette kann doppelseitig und mit doppelter Spurdichte beschrieben werden, so dass auf einer Diskette Daten bis zu einem Megabyte (unformatiert) gespeichert werden können.
Der Diskettenspeicher benötigt eine externe Stromversorgung. Er realisiert alle zum Informationsaustausch mit dem Rechner notwendigen Steuer- und Regelungsvorgänge selbständig. Der Anschluss an den Rechnerbus muss über eine Anpass-Schaltung erfolgen.
Als Datenträger dürfen nur klassifizierte Disketten mit 5,25" Durchmesser verwendet werden, wenn diese vom Hersteller für die doppelseitige Arbeit mit doppelter Aufzeichnungsdichte und doppelter Spurdichte zugelassen wurden.

2. Technische Daten

2.1. Abmessungen/Masse

- Abmessungen: (ohne Frontblende)

Länge	203	mm
Breite	146	mm
Höhe	41,5	mm

- Masse: 1,3 kg

2.2. Umgebungsbedingungen

Die Klassifizierung des Diskettenspeichers K 5601 nach TGL 26465 ist:
EK3 / TK2 / G21 / S21 / TM1...4

	Betrieb	Lagerung	Transport
Umgebungstemperatur /Grad C	10... 50	5 ... 35	-50 ... 60
relative Luftfeuchte	30% ... 80% bei max. 30 Grad C nicht kondens.	25°C / 85%	30°C / 95%
Dauer	nicht eingeschränkt	max. 3 Monate	max. 3 Monate
Atmosphärischer Druck /kPa	84 ... 107	84 ... 107	36 ... 107
Temperaturgradient / K/h	≤15	≤30	≤30

2.3. Stromversorgung

Zum Betrieb des Diskettenspeichers sind die Spannungen +5V und +12V notwendig. Folg. Parameter sind einzuhalten:

Spannung	+5V	+12V
zulässige Toleranz	± 5%	± 5%
zulässige Brummspannung (einschl. Rauschen)	≤100 mV Spitze-Spitze	≤100 mV Spitze-Spitze
Stromaufnahme bei Betrieb		
typ.	< 0,4 A	< 0,3 A
max.	0,5 A	1,0 A
Leistungsverbrauch typ.	< 10,0 W	

Belegung des indirekten 4-poligen Steckverbinders für die Betriebsspannungen:

Spannung	Kontakt
+12V	1
0V	2, 3
+5V	4

2.4. Signalinterface

Die Interfacesignale werden über einen direkten 34-poligen Steckverbinder zugeführt. (siehe Bild 1)

Signalbezeichnung		Kontakt	0 Volt Bezugspotential
frei		2	1
/IN USE	in Betrieb	4	3
/DS3	Auswahl d. Speichers 3	6	5
/IX	Index	8	7
/DS0	Auswahl d. Speichers 0	10	9
/DS1	Auswahl d. Speichers 1	12	11
/DS2	Auswahl d. Speichers 2	14	13
/MO	Motor ein	16	15
/SD	Schrittrichtung	18	17
/ST	Schritt	20	19
/WD	Schreibdaten	22	21
/WG	Schreibbefehl	24	23
/TO	Spur 00	26	25
/WP	Schreibsperre	28	27
/RD	Wiedergabedaten	30	29
/SS	Kopfauswahl	32	31
/RDY	Laufwerk bereit	34	33

Laufwerkseitiger direkter Steckverbinder:
- je Leiterplattenseite 17 Kontakte = 34 Kontakte
- Teilung 2.54 mm
- Kodierschlitz zwischen Kontakt 4 und 6 (3 und 5)

2.5. Leistungsparameter

Abmessung der Diskette (Hülle)	133.3 mm x 133.3 mm
Speicherkapazität je Diskette (unformatiert, MFM-Aufzeichnung)	1 MByte
Anzahl der Arbeitsflächen	2
Motorstartzeit	≤ 500 ms
Motornachlaufzeit (Option)	keine
Diskettendrehzahl	300 U/min ± 2%
Kopfzustellzeit	0 ms
Kopfberuhigungszeit	15 ms
Schrittzeit Spur/Spur	3 ms
Spurdichte	96 tpi
Anzahl der Spuren	je Seite 80
Übertragungsrate	125 / 250 kBit/s
Aufzeichnungsverfahren	FM / MFM (SD / DD)
Dauerschalleistungspegel	≤ 55dB AS
Funkentstörung	nach VDE 0871 und TGL 20885/12
Schreibsperre	

3. Elektronisches Interface

3.1. Allgemeines

An eine Anschlusseinheit, die den Rechnerbus mit dem Diskettenspeicher verbindet, können max. vier Laufwerke in Ketten- oder in Sternschaltung angeschlossen werden.Alle Interfacesignale sind LOW-aktiv.

Eingangssignale:

LOW - Pegel	:	0 ... 0.5 V
Strom für Abschlusswiderstände	:	≤ 18 mA
Strom für Eingangsgatter	:	≤ 3.2 mA
HIGH - Pegel	:	2.5 ... 5.25 V

Ausgabesignale:

LOW - Pegel	:	0 ... 0.4 V

Abschlusswiderstände:
Die Widerstandsgrösse beträgt 330 Ohm ± 5%.
Die Widerstände für die Leitungen $\overline{DS0}$ ... 3 sind fest auf der Interface-Leiterplatte verlötet. Für alle anderen Eingangssignale kann mittels IC-Sockel ein Widerstandsnetzwerk bestückt werden. Bei Auslieferung ist dieses Netzwerk bestückt.

Bei der Zusammenschaltung der Diskettenspeicher in Kette sind die Netzwerke bei allen Laufwerken mit Ausnahme des letzten am Interfacekabel zu entfernen. Bei Anwendung der Sternschaltung dürfen die Netzwerke bei keinen Laufwerk entfernt werden.

3.2. Ein- und Ausgabesignale

Eingabesignale sollen im folgenden die Signale sein, die zum Diskettenspeicher gesendet werden, während die Ausgabesignale vom Diskettenspeicher gesendet werden.

Eingabesignale:

- /DS0 ... 3 select 0 ... 3

Das Signal dient der Auswahl eines speziellen Diskettenspeichers für die Operation. Nur das /DS-Signal, dessen Brücke auf der Leiterplatte gesteckt ist, ist wirksam.
Wenn das Signal aktiv ist, sind alle Ein- und Ausgabesignale wirksam. Falls das Signal inaktiv ist, sind nur die Signale /MO und /IN USE wirksam.
Max. 0,5 us nach Wirksamwerden des Signales /DS werden auch die anderen Ein- und Ausgabesignale als gültig erkannt.
In Abhängigkeit von der Brückenbestückung kann mit diesem Signal die LED in der Frontblende eingeschaltet werden.

- /MO motor on

Dieses statische Signal dient dem Einschalten des Diskettenantriebes. Der Direktantrieb erreicht seine Nenndrehzahl von 300 U/min 500ms nach Einschalten des Signales.

- /SD step direction

Der Pegel dieses Signales definiert die Richtung der Bewegung des Kopfschlittens, falls auf der /ST-Leitung Impulse gesendet werden. Mit HIGH-Pegel bewegt sich der Schlitten in Richtung Aussenspur, mit LOW-Pegel in Richtung des Diskettenzentrums.

- /ST step

Das impulsförmige Signal dient der Bewegung des Kopfschlittens. Die Impulsbreite muss grösser als 800 ns sein. Der Kopf bewegt sich je Impuls eine Spur.
Die Bewegung des Kopfes wird mit der Rückflanke des Impulses gestartet und ist einschliesslich Kopfberuhigungszeit nach 18ms abgeschlossen. Bei mehreren aufeinanderfolgenden Schritten in einer Richtung kann der Impulsabstand 3 ms betragen. Beim Wechsel der Richtung ist ein Impulsabstand von 18 ms zu garantieren.
Das Signal ist unwirksam, wenn das Signal /WP HIGH und das Signal /WG LOW ist. Das /ST-Signal ist ebenfalls unwirksam, wenn das /TO-Signal LOW ist und nach aussen positioniert werden soll (/SD=HIGH).

- /WG write gate

Mit Hilfe dieses Signales können die geschriebenen Daten gelöscht und neue Daten aufgezeichnet werden. Das Signal ist unwirksam, wenn das /WP-Signal aktiv ist.
Das Signal soll erst LOW werden, wenn folg. Bedingungen erfüllt sind:

- ≥ 500 ms nach dem Einschalten des Antriebs
- ≥ 18 ms nach dem letzten wirksamen Schrittimpuls
- ≥ 100 us nach einem Pegelwechsel des Signales /SS

Keines der folgenden Signale darf innerhalb 1 ms nach dem Schalten dieses Signales auf HIGH schalten:

- Schalten eines Kommandos zum Stoppen des Motors
- Schalten des Signales /DS zu HIGH
- Start einer Kopfpositionierung durch /ST-Impulse
- Wechsel des Pegels des Signales /SS

- /WD write data

Diese Signal enthält die Daten, die auf Diskette geschrieben werden sollen. Die Impulse sollen 0,1 us bis 2,5 us breit sein. Es wird nur die Vorderflanke der Impulse genutzt.
Dieses Signal ist unwirksam, wenn das /WG-Signal HIGH ist oder wenn das Signal /WP aktiv ist.

- /SS side one select

Das statische Signal dient der Auswahl der Seite der doppelseitigen Diskette, die für das Lesen oder Schreiben genutzt werden soll. Wenn dieses Signal HIGH ist, dann ist der Magnetkopf für die Seite 0 der Diskette (Unterseite) ausgewählt, mit LOW wird der Kopf für Seite 1 (Oberseite) angewählt.
Das /RD-Signal der ausgewählten Seite wird 100 us nach dem Umschalten des Signalpegels gültig.
Wenn nach Abschluss einer Schreiboperation die andere Seite der Diskette ausgewählt werden soll, dann darf der Pegel des Signales /SS erst nach mehr als 1 ms nach Schalten des /WG-Signales auf HIGH schalten. Eine Schreiboperation auf der ausgewählten Seite (/WG = LOW) kann erst nach 100 us nach dem Wechsel des Signalpegels /SS beginnen.

- /IN USE in use

Dieses Signal ist nur wirksam, wenn die Brücke IU geschlossen ist.
Das statische Signal zeigt an, dass alle Diskettenspeicher in Gebrauch und unter Kontrolle des Wirtssystems sind.
Die Anschaltbedingung der Frontblendenanzeige ist auf dieses Signal bezogen.

Ausgabesignale:

- /TO track 00

Das statische Signal zeigt an, dass sich der Kopfschlitten in der Spur 00 (in der äussersten Spur) befindet. Das Signal wird nach mehr als 2,8 ms nach dem wirksamen /ST-Impuls gültig.

- /IX index / sector

Das impulsförmige Signal dient zur Erkennung der Indexlöcher. Dieses Signal kann 500 ms nach dem Start des Direktantriebs in exakten Zeiten ausgegeben werden, falls eine Diskette eingelegt ist.
Wenn eine soft-sektorierte Diskette eingelegt ist, dann wird während einer Umdrehung der Diskette ein Indeximpuls gesendet. Die Vorderflanke des Signales wird als Bezugspunkt genutzt.

- /RD read data

Das impulsförmige Signal enthält die Lesedaten der Diskette, die sich aus Takt- und Datenbits zusammensetzen. Die Vorderflanke des Impulses wird zum Bezug genutzt.
Dieses Signal wird gültig, wenn folg. Bedingungen erfüllt sind:
  - Diskettenspeicher ist im RDY-Zustand.
  - ≥ 18 ms nach dem letzten wirksamen /ST-Impuls.
  - ≥ 1 ms nachdem das Signal /WG HIGH wurde.
  - ≥ 100 us nach Umschalten des Pegels des Signales /SS

- /WP write protect

Das statische Signal dient der Anzeige, dass die Schreibgenehmigungsöffnung der Diskette maskiert ist.
Wenn dieses Signal aktiv ist, dann sind die Daten vor Löschen geschützt, und das Schreiben neuer Daten wird verhindert.

- /RDY ready

Das statische Signal zeigt an, dass das Laufwerk in Bereitschaft zum Schreiben und Lesen ist. Der Diskettenspeicher geht bei Verwendung einer softsektorierten Diskette in den Bereitschaftszustand, wenn folg. Bedingungen erfüllt sind:
  - die Spannungen +5 V und +12 V liegen an

- die Diskette ist eingelegt und ein Motorstart-Kommando ist aktiv
- der /IX-Impulsabstand ist grösser als 50% des Sollwertes und danach sind zwei IX-Impulse gezählt worden
- der IX-Impusabstand ist innerhalb des Bereiches von ±6 % des Sollwertes

Das Signal wird nach ≤ 800 ms nach dem Start des Direktantriebes LOW. Dennoch erreicht der Antriebsmotor die Nenndrehzahl innerhalb von 500 ms nach dem Start, und Datenlese- und -schreiboperationen können ausgeführt werden, bevor das Signal /RDY LOW wird.
Das Signal /RDY schaltet innerhalb von 0,3 ms nach Abschalten von /MO auf HIGH.

3.3. Masseverbindung

Das Chassis des Diskettenspeichers ist elektrisch mit 0 V Gleichspannung durch die Brücke FG auf der Interfaceleiterplatte verbunden. Das Laufwerk wird mit geschlossener Brücke FG ausgeliefert.

4. Montage- und Einstellvorschrift/Betriebsbedingungen

4.1. Brücken

Sämtliche Brücken sind auf der Interfaceleiterplatte des Laufwerkes montiert. Das Einsetzen der Kurzschlussbrücke wird als EIN-Zustand der Brücke definiert.

Bei Einbau der Laufwerke in den EC 1834 sind folgende Brücken bestückt:
DS1 - Auswahl erfolgt durch Kabel
RY - Ausgabe RDY-Signal an PIN 34
FG - FRAME GROUNDING (LW-Rahmen elektrisch mit 0V verbunden)
ML - Spindelmotor einschalten mit DRIVE SELECT (DS)
EO - Signal /IX wird unabhängig vom RDY - Zustand ausgegeben

- Brücken DS0...3:
Bei der Schaltung der Diskettenspeicher in Kette wird durch diese Brücken die Adresse des Laufwerkes festgelegt, d. h., es sind max. vier Laufwerke adressierbar. Es dürfen niemals zwei Laufwerke dieselbe Adresse haben!

- Brücken IU=AUS / HL=AUS
Die Brücken dienen der Auswahl des Signales am Kontakt 4 des Interfacesteckers. HL ist nicht genutzt. Wenn die IU-Brücke EIN ist, dann dient das Signal am Kontakt 4 der Steuerung der Front-LED (in Verbindung mit Brücken DS0...3, U1 und U2).

- Brücken U1=AUS / U2=AUS
Die Brücken dienen der Steuerung der Front-LED.

- Brücken RY=EIN / XT=AUS
Die Brücken dienen der Auswahl der Funktion des Kontaktes 34 des Interfacesteckverbinders. Wenn die Brücke RY geschlossen ist, wird das Signal /RDY an Kontakt 34 ausgegeben. Falls die Brücke XT EIN ist, wird an Kontakt 34 ständig LOW ausgegeben.

- Brücke ML=EIN
Die Brücke dient der Festlegung der Bedingungen für die Motorrotation. Bei offener Brücke rotiert der Motor nur bei aktivem Signal /MO. Falls die Brücke geschlossen ist, dreht der Motor mit aktivem Signal /MO oder während die Front-LED an ist.
- Brücke RE=AUS
Bei geschlossener Brücke ist die automatische Recalibrierung eingeschaltet, d.h., nach dem Zuschalten der Spannung positioniert der Schlitten selbständig in die Spur 00. Dafür sind max. 255 ms erforderlich. Während dieser Zeit ist der Speicher nicht im RDY-Zustand.

- Brücken EO=EIN / E2=AUS
Mit Hilfe dieser Brücken können die Ausgabebedingungen für die Signale /IX und /RD festgelegt werden.
Wenn die Brücke EO EIN ist, wird das Signal unabhängig vom RDY-Zustand des Laufwerkes ausgegeben. Falls die Brücke nicht bestückt ist, wird das Signal nur bei aktiven RDY-Signal ausgegeben.
Wenn die Brücke E2 EIN ist, wird das Signal /RD nur ausgegeben, wenn das Laufwerk im RDY-Zustand ist. Bei nicht bestückter Brücke wird das Signal unabhängig vom RDY-Zustand ausgegeben.
Im Auslieferungszustand (EO=EIN / E2=AUS) werden beide Signale bei ausgewähltem Laufwerk ausgegeben.

- Brücke FG=EIN
Die Brücke verbindet das Chassis elektrisch mit OV Gleichstrom.

4.2. Steuerung der Frontplattenanzeige

Die Anzeige schaltet ein, während DSO...3 aktiv ist.
---> Brü DSO...3 geschlossen

4.3. Steuerung des Direktantriebes

Der Direktantrieb beginnt mit der Rotation, wenn eine der folgenden Bedingungen erfüllt ist:

- Drehung durch externes Kommando:
  Der Direktantrieb rotiert, wenn das Signal /MO zum Start des Motors aktiv oder die Front-LED eingeschaltet ist.

- Automatische Drehung durch interne Schaltung
  Die automatische Drehung wird beim Einlegen einer Diskette zur besseren Zentrierung gestartet.

5. Wartungvorschrift

Der Diskettenspeicher ist wartungsfrei.

robotron

VEB Robotron
Buchungsmaschinenwerk
Karl-Marx-Stadt
Annaberger Straße 93
Karl-Marx-Stadt
DDR–9010

Exporteur
Robotron-Export/Import
Volkseigener
Außenhandelsbetrieb
der Deutschen
Demokratischen Republik
Allee der Kosmonauten 24
Berlin
DDR–1140

1.62.540117.8 (GER)
850.53.01.001

Kv 1797/88 V 7 1 1764 N2